

薄型半導体パッケージ用低熱膨張基板材料

Low Thermal Expansion Materials for Thin IC Package Substrates

高橋 龍史* · 元部 英次* · 花崎 正平* · 根本 知明** · 加藤 哲也**
 Ryuji Takahashi · Hidetsugu Motobe · Shohei Hanazaki · Tomoaki Nemoto · Tetsuya Kato

薄型半導体パッケージの反り低減とドリル加工性を確保するため、新規樹脂骨格の導入と無機充填材の種類、粒子径、粒度分布、表面処理状態を制御して充填材の増加率を30%に抑制することによって、熱膨張率を35%低減、Tgを25%向上、弾性率を室温で25%、250℃では75%向上させ、かつ従来品と同等のドリルビット摩耗率に抑えた基板材料を開発した。

開発品を用いた半導体パッケージの反りは、従来品と比較して、25℃で40%、260℃で20%低減している。また開発品は高い絶縁信頼性を有し、さらに基板のハロゲンフリー難燃化と鉛フリーはんだリフロー工程対応を実現した環境調和型材料である。

In order to reduce warpage in thin IC packages and to fulfill the drilling processability requirements, an improved substrate material has been developed by adopting a new resin structure and by suppressing the rate of increased inorganic filler material to 30% with the control of the type, particle size, particle distribution, and surface treatment conditions. Compared to the previous material, the new substrate material reduces the thermal expansion rate by 35%, improves Tg by 25%, and increases the modulus of elasticity by 25% at room temperature and by 75% at 250°C while maintaining the same level of drillbit wear rate.

Compared to the previous material, the new material reduces warpage in IC packages by 40% at 25°C and by 20% at 260°C. In addition, the new material has high insulation reliability and is environmentally friendly because it is produced with halogen-free flame retardant and can be used with lead-free reflow soldering processes.

1. ま え が き

近年、携帯電話やノート型PCなど小型携帯機器の多機能化、高機能化、薄型化が急速に進んでいる。これに伴い、搭載される半導体パッケージにも高集積化、薄型化、小型化の強い要求がある。表1にFBGA (Fine pitch Ball Grid Array) の仕様動向を示す¹⁾。

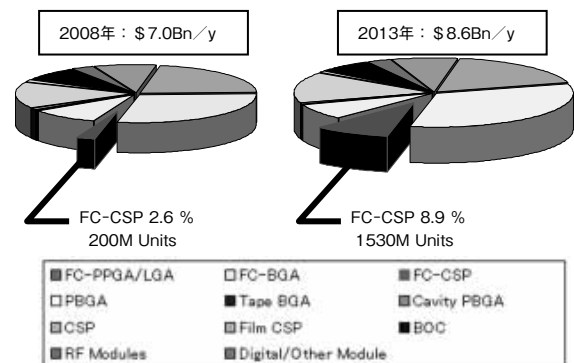
表1 FBGAの仕様動向

項目	2008年	2012年	2016年
最大端子数	800	1000	1200
最小端子ピッチ (mm)	0.4	0.3	0.2
最小取付高さ (mm)	0.8	0.65	0.5

出典：2009年度版日本実装技術ロードマップ

このような小型携帯機器には、CSP (Chip Scale Package), SiP (System in Package), PoP (Package on

Package) といった薄型半導体パッケージが必ず使用されており、これらは高機能化や薄型化を実現するための有効な技術である。また、SiPやPoPに代表されるICチップとインタポーザをFC (Flip Chip) 方式で接続するFC-CSPは今後大きく成長する市場といわれている (図1)²⁾。



出典：Prismark 2009年

図1 有機半導体パッケージサブストレート市場

* 電子材料本部 電子基材事業部 Circuit Board Materials Division, Electronic Materials Business Unit

** 電子材料本部 電子材料R & Dセンター Research & Development Center, Electronic Materials Business Unit

接続方法のWB (Wire Bonding) 方式からFC方式への移行には、高速化や多ピン化が可能であるといった利点があるが、一方ではICチップとインタポーザ間のCTE (熱膨張係数) 差により、これまで以上に半導体パッケージに反りが発生しやすくなるという問題が存在する³⁾。このようなことから、今後の基板材料には半導体パッケージの反り低減が求められる。また、端子数の増加により微細配線化がさらに進むため、小径ドリルでの穴あけ加工性やスルーホール間での絶縁信頼性の確保も重要となる。

一方、地球規模で環境問題への関心が高まり、企業においても環境負荷低減への取組みが重要となっている⁴⁾。欧州でのRoHS指令に代表されるように、電子機器に対しては有害物質 (水銀、カドミウム、鉛、六価クロム、PBB (ポリブロモビフェニル)、PBDE (ポリブロモジフェニルエーテル)) に関する規制が強化されてきている。電子回路基板材料に一般的に使用される臭素系難燃剤のTBBA (テトラブロモビスフェノールA) はこの規制の対象に該当しないが、メーカーによってはハロゲン系難燃剤を用いたものの使用を禁止しており、ハロゲンフリーであることや鉛フリーはんだに対応できる耐熱性を有する基板材料の開発が必須となっている⁵⁾。

本稿では、これらの市場要求に対応して開発した薄型半導体パッケージ基板材料について報告する。

2. 開発目標

2.1 予備検討材料の特性

基板材料特性が半導体パッケージの反り挙動にどのような影響を与えるかを明らかにするため、意図的に特性を変化させた基板材料を用いてFC-CSPの反り挙動変化を評価した。

評価には、基準材料として当社従来品の薄型パッケージ基板材料「R-1515B」を、比較材料には反り挙動に影響を与える基板材料特性の因子であるTg, CTE, および高温領域での曲げ弾性率に着目し、これらの特性が異なる材料を用いた (表2)。比較材1および比較材2は、ともに高Tgタイプのエポキシ樹脂を使用することで、従来品と比較してTgを25%向上させたものである。比較材1は、従来品と同等量の無機充填材に熱可塑性成分を添加することでCTEを低減させたものである。一方、比較材2は、無機充填材の添加量を従来品と比較して50%増加することでCTEを低減させている。

表2 評価用材料特性

	測定方法	測定条件	単位	「R-1515B」	比較材1	比較材2
Tg	DMA (引張法)		℃	220	270	270
CTE	TMA (引張法)	50~150℃	10 ⁻⁶ /℃	12	8~10	8~10
曲げ弾性率	JIS C 6481	25℃	GPa	27	27	33
		250℃	GPa	10	10	15

従来品と比較材2種類のDMA (Dynamic mechanical analysis) およびTMA (Thermal mechanical analysis) の測定結果を図2および図3に示す。比較材1および比較材2はともに、従来品に比べて高Tgかつ低CTE材料であることがわかる。しかし、比較材1と比較材2ではCTEの低減方法が異なるため、250℃以上の高温領域での曲げ弾性率挙動に大きな違いが観察される。また、JIS C 6481法による250℃での曲げ弾性率は、比較材2が50%高い値を示している。

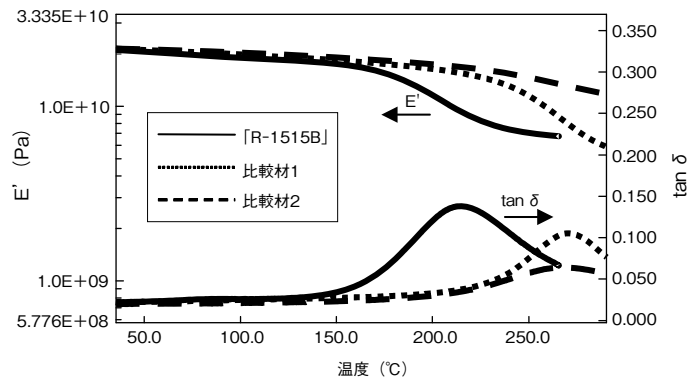


図2 評価材料のDMA測定結果

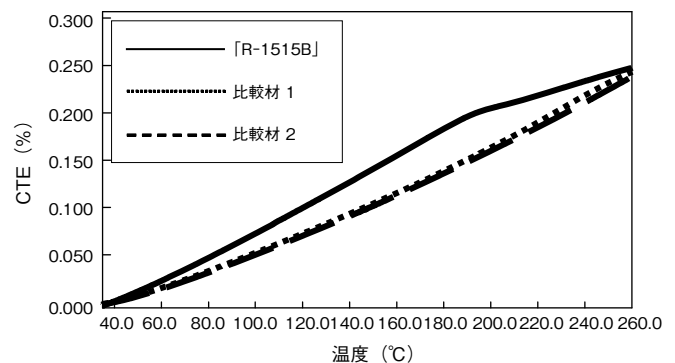


図3 評価材料のTMA測定結果

2.2 評価用パッケージの構造

当社が提供するのは基板材料であるが、メーカーが要求するのは半導体パッケージとしての特性であることから、顧客ニーズおよび市場技術動向に合わせた半導体パッケージとしての特性評価が必須となっている。

図4に評価用FC-CSP (ICチップサイズ5×5×0.06mm) のテストモデルを示す。

このFC-CSPは、PoPに使用されるボトム (ロジック)

パッケージ構造である。現在、量産されている PoP – ボトムパッケージは基板厚みが 0.3 ~ 0.4 mm であるが、今後さらに薄型化が進むと予測されるため、本評価では厚み 0.26 mm の基板を使用した。

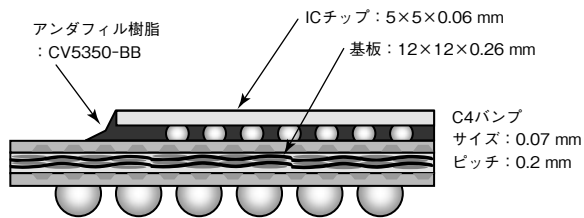


図4 評価用FC-CSP構造

2.3 予備検討結果と開発目標値

図5にモアレによる室温 25 °Cでの各材料の半導体パッケージ反り挙動を示す。モアレ測定では、半導体パッケージの反り量を色の濃淡を用いて表示しており、色の濃淡差が大きいほど反り量が多いことを示している。従来品では、半導体パッケージの端部が大きく反っている様子が観察された。比較材1も同様に、端部の反りが観察された。一方、比較材2では、端部の反りが大幅に低減され、半導体パッケージ全体が平坦に保たれていることがわかる。これは、ICチップとインターポーザ間のCTE差の低減だけでなく、基板材料の曲げ弾性率の向上が半導体パッケージの反り抑制に有効であることを示している。

これらの結果にもとづいて以下を開発目標とした。

(1) 半導体パッケージの反り低減

- ① Tg : 270 °C 以上
- ② CTE : $10 \times 10^{-6} / ^\circ\text{C}$ 以下
- ③ 曲げ弾性率 : 33 GPa 以上 (室温)
15 GPa 以上 (250 °C)

(2) 高集積化への対応

- ① ドリル加工性 : 従来品同等以上
- ② 絶縁信頼性 : スルーホール壁間 100 μm で HAST (130 °C, 85 % RH, DC 5 V) 試験のクリア

(3) 環境調和型材料への対応

- ① ハロゲン化合物, アンチモン化合物を使用せずに UL94 V-0 を達成

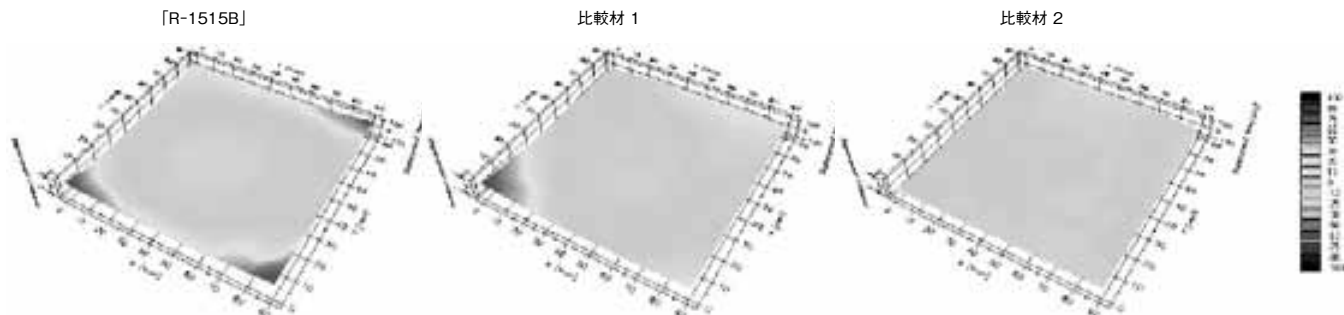


図5 モアレによる室温 25 °Cでの半導体パッケージ反り評価結果

②鉛フリーはんだ実装工程に対応可能

これらの開発目標に対して得られた結果について以下に述べる。

3. 半導体パッケージの反り低減

3.1 開発材料「R-1515E」の特性

前章の予備検討から、高 Tg 化、低 CTE 化、高弾性率化によって半導体パッケージの反りが低減することが明らかになったが、単純に無機充填材を増量するだけ（比較材2）では、基板のドリル加工特性が悪化したり、成形時の樹脂流動性が低下するといったマイナスの影響が生じる。

そこで筆者らは、新規樹脂骨格の導入と充填材の種類選定を行い、さらに充填材の粒子径、粒度分布、表面処理状態を制御することで、充填材の増加比率を 30 %に抑え、半導体パッケージの反り低減の項目に対しては開発目標を達成した。開発したハロゲンフリー薄型パッケージ基板材料「R-1515E」の一般特性を表3に示す。「R-1515E」は従来品「R-1515B」と比較して、CTEを35%低減、Tgを25%向上、室温での弾性率を25%向上、250 °Cでの弾性率を75%向上させている。

表3 開発品「R-1515E」の一般特性

	測定方法	測定条件	単位	目標値	開発品 [R-1515E]	従来品 [R-1515B]
Tg	DMA(引張)	-	°C	270 以上	265~275	205
CTE	TMA(引張)	50~150 °C	$10^{-6} / ^\circ\text{C}$	10以下	8~10	12
曲げ弾性率	JIS C 6481	25 °C	GPa	33以上	32~35	27
		250 °C	GPa	15以上	16~19	10
比誘電率	IPC TM650	1 GHz	-	-	4.7	4.8
誘電正接		1 GHz	-	-	0.011	0.015
銅箔ピール強度	JIS C 6481	銅箔12 μm	kN/m	-	0.8~1.0	0.9

3.2 反り特性

図6に示す評価用FC-CSP（ICチップサイズ 5 × 5 × 0.17 mm）を用いて「R-1515E」および「R-1515B」の半導体パッケージの反り特性を評価した。

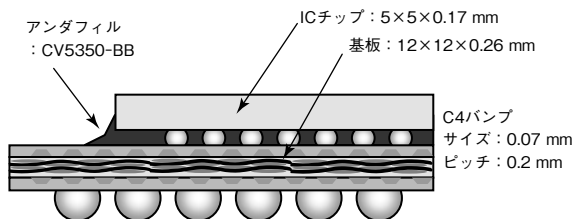


図6 評価用FC-CSP構造

図7に室温25℃と鉛フリーはんだリフローピーク温度260℃における、半導体パッケージの反り挙動を示す。「R-1515E」を用いた半導体パッケージは、従来品と比較して25℃で40%、260℃で20%反りが低減され、室温からリフローピーク温度領域において平坦に保たれていることがわかる。

パッケージ形態、パッケージサイズ、チップサイズなどで効果の程度は異なるが、半導体パッケージの反り低減には基板材料の高T_g化、低CTE化、高弾性率化が有効であることがわかる。

4. 高集積化への対応

4.1 ドリル加工性

図8に開発品「R-1515E」、従来品「R-1515B」、および比較材2のドリル加工特性評価結果を示す。加工条件は以下のとおりである。

- (1) 基板厚み: 0.4 mm, 重ね枚数: 2枚
- (2) ドリルビット径: 0.15 mm
- (3) ドリル回転数: 200000 min⁻¹, ヒット数: 5000

充填材を増加した比較材2では、ドリルビットの摩耗が観察された。ドリルビットの摩耗は、ドリルの穴位置精度低下やスルーホール形状の悪化につながり、高集積化の妨げとなる。「R-1515E」では、新規樹脂骨格の導入で充填材の添加量が低減されており、「R-1515B」と同等以上にドリルビットの摩耗率を低減できていることがわかる。

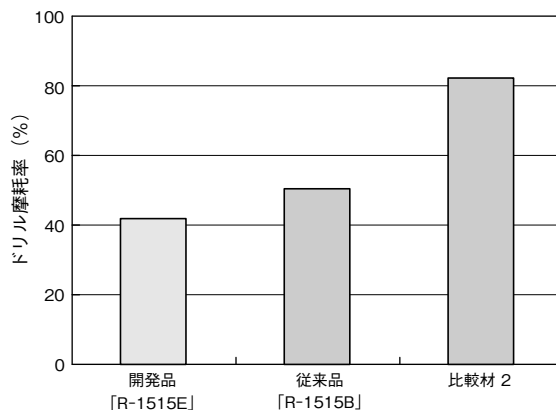


図8 ドリルビット摩耗率の測定結果

4.2 絶縁信頼性

図9に「R-1515E」の絶縁信頼性評価結果を示す。前処理としてJEDEC Level 2 (85℃, 60% RH, 168時間) 吸湿処理後、鉛フリーはんだリフロー温度である260℃リフロー3回処理し、HAST (130℃, 85% RH, DC 5V) 試験を行った結果、壁間100μmで200時間経過しても絶縁抵抗劣化がないことが確認された。現状では、130℃, 85% RH, DC 5Vの条件において100時間で不良が発生しなければ実用可能とされていることから、「R-1515E」は非常に優れた絶縁信頼性を有する基板材料といえる。

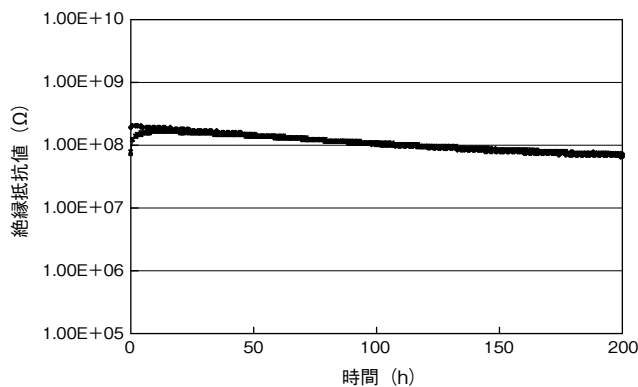


図9 絶縁信頼性評価結果

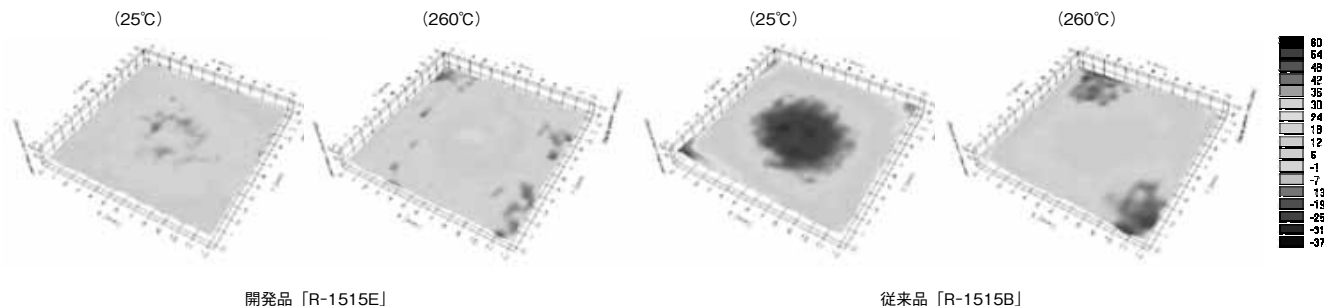


図7 室温25℃と260℃での半導体パッケージ反り評価結果

5. 環境調和型材料への対応

開発品「R-1515E」に含まれる臭素、塩素、アンチモンの元素分析結果を表4に示す。

「R-1515E」はJPCA（（社）日本電子回路工業会）によって定義されているハロゲンフリー材の規定値である塩素、臭素それぞれ0.09 wt%以下、かつ合計で0.15 wt%以下を満足している。また「R-1515E」は、ハロゲン系難燃剤、アンチモン化合物を使用せずに難燃性UL94 V-0を達成するとともに、鉛フリーはんだリフローに対応可能であることから、環境調和型材料といえる。

表4 元素分析結果

	開発品「R-1515E」
臭素含有率	検出限界以下
塩素含有率	0.01 wt%
アンチモン含有率	検出限界以下

6. あとがき

薄型半導体パッケージの反り低減とドリル加工性を確保するため、新規樹脂骨格の導入と無機充填材の種類、粒子径、粒度分布、表面処理状態を制御して充填材の増加率を30%に抑制することによって、熱膨張率を35%低減、Tgを25%向上、弾性率を室温で25%、250℃では75%向上させ、かつ従来品と同等のドリルビット摩耗率に抑えた基板材料を開発した。

開発品を用いた半導体パッケージの反りは、従来品と比較して、25℃で40%、260℃で20%低減した。また開発品は高い絶縁信頼性を有し、さらに基板のハロゲンフ

リー難燃化と鉛フリーはんだリフロー工程対応を実現した環境調和型材料である。

今後も電子機器の多機能化、高機能化、薄型化が進むものと予想され、基板材料への要求はこれまで以上にきびしくなるといえる。その要求に応える基板材料の開発により、エレクトロニクス技術の進展に貢献していきたい。

*参考文献

- 1) 2009年度版日本実装技術ロードマップ, 社団法人 電子情報技術産業協会
- 2) PACKAGING SUBSTRATE MARKET AND TECHNOLOGY TREND, PRISMARK PARTNERS LLC (2009)
- 3) Y. Tsukada : Current Issues and Future Direction of Low Cost High Density Packaging Technology, Journal of the Society of Materials Science, Japan, Vol. 55, No. 4, p. 385-390 (2006)
- 4) 環境調和型実装技術委員会: 環境調和型実装技術に関する現状と展望, エレクトロニクス実装学会誌, Vol. 11, No. 1, p. 35-42 (2008)
- 5) 西村 哲郎: 鉛フリーはんだ問題点と実用化状況, エレクトロニクス実装技術, 8月号, (株)技術調査会, p. 26-29 (2004)

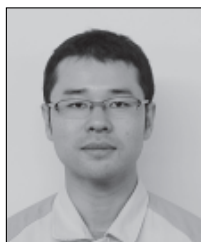
◆執筆者紹介



高橋 龍史
電子基材事業部



元部 英次
電子基材事業部



花崎 正平
電子基材事業部



根本 知明
電子材料 R & D センター



加藤 哲也
電子材料 R & D センター