

モバイルセキュアLSI向け混載FeRAM用 立体キャパシタプロセス

Process Technology of Embedded FeRAM with 3-Dimensional Capacitor for Mobile Secure-LSI

夏 日 進 也
Shinya Natsume

松 田 隆 幸
Takayuki Matsuda

那 須 徹
Toru Nasu

長 野 能 久
Yoshihisa Nagano

野 呂 文 彦
Fumihiko Noro

要 旨

強誘電体メモリー（FeRAM：Ferroelectric Random Access Memory）は、低電圧・高速書き換えの特長を有し、携帯機器の非接触通信に最適な不揮発性メモリーである。今後、市場成長が見込まれるモバイルセキュアICは、膨大な暗号データを記憶・高速処理するため、前記特長に加え大容量の不揮発性メモリーが必要である。筆者らは、この要求を満たすべく、当社従来比約4分の1のセルサイズとなる「立体キャパシタセル構造」を有する混載FeRAMを世界で初めて開発した。立体キャパシタの電荷量向上のため、微細ホール内の強誘電体組成制御技術、密着層導入による電極断線防止技術を開発した。また、CMOS（Complementary Metal Oxide Semiconductor）プロセスとの整合性を実現すべく、強誘電体の水素による還元を防止する溝型水素バリア構造を考案した。鉛フリーの強誘電体材料を使用したFeRAM混載システムLSIは、1.3 Vの低電圧で動作し、10の9乗回の書き換え後まで動作下限電圧の上昇が見られない。

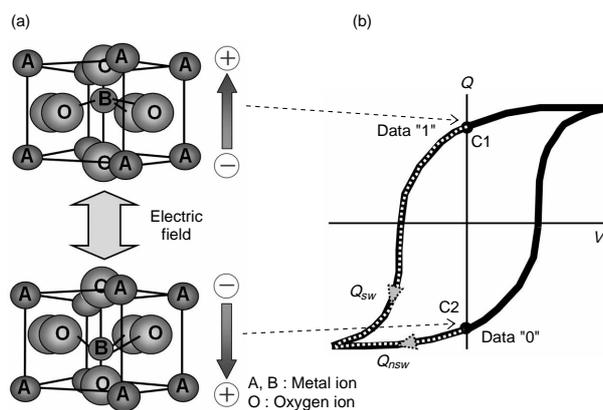
Abstract

Ferroelectric Random Access Memory (FeRAM) is the most promising non-volatile memory for contactless operation of mobile networking tools in view of its innovative features such as low voltage and high-speed write operation. Higher-density FeRAM is one of the key devices of the mobile high-secure IC which must be able to store and process a large amount of encryption data at high speed with low power supply. We have developed the world's first embedded FeRAM with three-dimensional (3D) capacitor cell structure, which enables shrinking the capacitor cell size to a quarter of the size of conventional cells. In order to improve the stored charge of the 3D capacitor, we employed Metal Organic Chemical Vapor Deposition (MOCVD) technology for controlling the ferroelectric film composition inside the 3D holes, and glue layer formation technology for preventing Pt electrode migration. In addition, the trench-shaped hydrogen barrier structure which prevented reduction of the ferroelectric film during hydrogen-atmosphere annealing enabled the realization of full logic compatibility. The FeRAM embedded system LSI which has been fabricated by using Lead (Pb)-free ferroelectric film operates at a low voltage of 1.3 V, and has no degradation of the minimum operating voltage after endurance cycles of up to 10^9 read/write operations.

1. はじめに

電子マネーや個人認証の電子化が、社会インフラや公共インフラとして、広く普及し始めている。当社は、独自のFeRAM技術を生かしたソリューション「非接触通信で、複雑な暗号データを瞬時に処理」を武器に、交通・運輸などの公共用途向け非接触ICカード用LSIを商品化してきた。

FeRAMは、強誘電体の原子レベルでのスイッチングを利用するため、低電圧かつ高速で書き込み動作ができる特長を有する。そのため、リーダーライターと離れた状態での動作が必要な携帯機器の非接触通信に最適な不揮発性メモリーである。FeRAMの動作原理を、第1図で説明する。強誘電体は、第1図(a)に示すペロブスカイト構造を有し、電界により結晶構造を構成するイオンがそれぞれ変位することで、電気的中性からのズレが生じ、分極を発現する。この分極は、印加電圧に対して第1図(b)に示すヒステリシスカーブを描くため、印加電圧がゼロ



第1図 FeRAM動作の模式図

Fig. 1 Schematic illustrations of FeRAM operation

になっても、2値の残留分極（C1, C2）が残る。この2つの状態を「データ1」、「データ0」の記憶状態とすることにより、不揮発性メモリー動作が実現する。

このFeRAMを今後市場成長が見込まれるモバイルセキュア

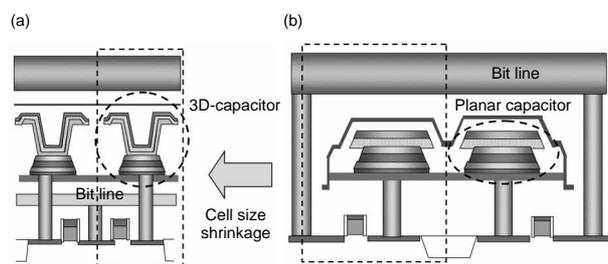
ュアICのキーデバイスとするためには、膨大な暗号データの記憶・高速処理が要求され、前記の低電圧・高速動作の特長に加えて、大容量の不揮発性メモリーが必要となる。筆者らは、この大容量化のために、「立体キャパシタセル構造」を有する混載FeRAMを世界で初めて開発した。キャパシタ構造を立体形状にすることで、セルサイズを当社従来比約4分の1にできた。これにより、1 Mbitの容量を搭載した高セキュリティのモバイル機器への応用では、従来の平面キャパシタ構造を採用した場合に対して、約50%のチップサイズ削減が可能となる。

本稿では、まず初めに立体キャパシタセル構造を用いた混載FeRAMのデバイス構造について述べる。次に、立体キャパシタ形成のキー技術について、その概要を述べる。最後に、FeRAMデバイスの特性・信頼性について説明する。

2. 混載FeRAMデバイス構造

新規開発した立体キャパシタセル構造を用いた混載FeRAMのデバイス構造を説明する。

新規開発した構造と従来構造のFeRAMセルの断面模式図を第2図に、それらのプロセス概要を第1表に示す。キャパシ



第2図 FeRAMセル断面模式図：(a) 新規開発の構造，(b) 従来の構造

Fig. 2 Schematic cross-sectional view of FeRAM cell, (a) newly developed structure and (b) conventional structure

第1表 新規開発FeRAMと従来FeRAMのプロセス概要

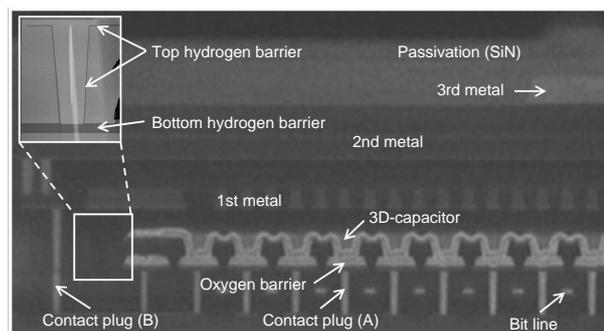
Table 1 Process features of newly developed FeRAM and conventional FeRAM

	Newly developed	Conventional
Capacitor structure	3D-stack	Planar-stack
Cell size	1.5 μm ²	5.2 μm ²
Capacitor size	0.60 μm ²	1.30 μm ²
Ferroelectric film	Bi-based (Lead-Free)	SrBi ₂ Ta ₂ O ₉ (Lead-Free)
Hydrogen barrier structure	Completely encapsulated by jointing at trench	Completely encapsulated
Voltage	1.5 V	1.8 V
Cell architecture	Capacitor over bit line	Capacitor under bit line

タ構造を平面から立体形状にすることで、単位平面積当りのキャパシタ表面積を増加し、必要な電荷量を確保する¹⁾²⁾。さらに、ビット線をキャパシタの下に配置することで、セルサイズを当社従来比約4分の1となる1.5 μm²に縮小できた。

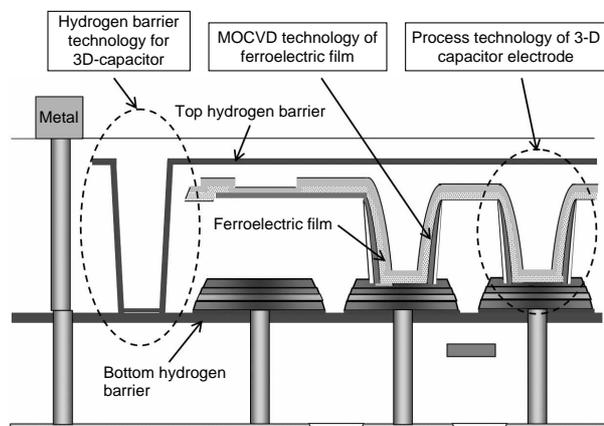
第3図に、セルアレイ部の断面写真を示す。まず、トランジスタが形成され、トランジスタの上層にビット線が形成される。次いで、トランジスタに接続するコンタクトプラグ(A)が形成され、立体キャパシタに接続される。キャパシタは酸素バリア、プラチナ(Pt)電極、鉛フリーのBi系強誘電体膜で構成され、下層水素バリア膜、上層水素バリア膜によりキャパシタが完全に被覆されたセル構造をしている。次いで、トランジスタに接続するコンタクトプラグ(B)が形成され、AL配線に接続される。

この立体キャパシタセル構造を実現するためのキー技術の概要を、第4図で説明する。強誘電体薄膜をホール内に制御よく形成するために、MOCVD (Metal Organic



第3図 FeRAM混載システムLSIの断面SEM (Scanning Electron Microscope) 写真

Fig. 3 Cross-sectional SEM (Scanning Electron Microscope) image of fabricated FeRAM embedded system LSI



第4図 新規開発したFeRAMセル構造の断面模式図

Fig. 4 Schematic cross-sectional view of newly developed FeRAM cell structure

Chemical Vapor Deposition) 技術を開発した。また、キャパシタ電極材であるプラチナが高温熱処理時に断線するのを防止するため、高耐熱立体電極形成技術を開発した。さらに、強誘電体膜の水素による劣化を抑制し、かつキャパシタ上層の配線 (AL) 形成に必須な下地平坦性を確保するために、高段差対応水素バリア技術を開発した。

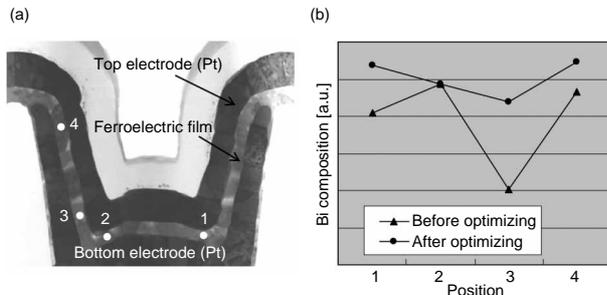
3. 立体キャパシタキー技術

3.1 強誘電体MOCVD技術

強誘電体膜をホール内にカバレッジよく形成するために、アルコールなどの溶媒に溶かした有機金属材料を気化させ、そのガスを高温のウェハに供給し成膜させるMOCVD法が必須となる。

容量膜として採用しているBi系強誘電体は、ペロブスカイト構造を構成するBi (ビスマス) と他の金属元素、酸素からなる3~4元系酸化物である。MOCVD法は、それぞれの金属元素を含むガスを供給するため、各元素を独立に組成制御しなければならない。また、表面反応を用いているため、それぞれの原料ガスの付着係数が異なる。さらに、ホール内への原料ガス供給が不均一な場合には組成ばらつきが顕在化する。これらの理由により、3~4元系からなる強誘電体薄膜をホール内に均一に形成するのは非常に困難である³⁾。筆者らは、MOCVDでの成膜条件 (温度、圧力、原料流量) を最適化することにより、原料ガスがウェハ到着前に分解するのを抑制し、反応性の高い原料ガス中間生成物を供給することで、ホール内組成を良好に制御する技術を開発した。

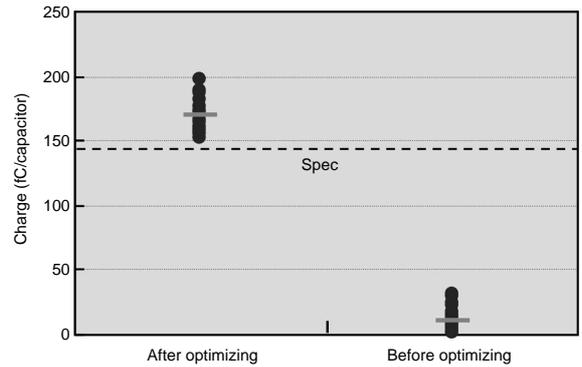
立体キャパシタに成膜した強誘電体膜の断面TEM (Transmission Electron Microscope) 写真を、第5図 (a) に示す。MOCVD法の適用で、ホール内の膜厚は均一に形成できている。また、第5図 (a) 中の各ポジションにおける、Bi (電荷量への影響が大きい元素) の組成分析結



第5図 立体キャパシタ断面写真とMOCVD条件最適化前後のBi組成
Fig. 5 Cross-sectional TEM image of 3-D capacitor, and Bi composition of ferroelectric film before and after optimizing MOCVD process condition

果を、第5図 (b) に示す。条件最適化前は、ホール内のBi組成ばらつきが大きい。一方、最適化条件では、Bi組成ばらつきを抑制できている。

MOCVD条件最適化前後での立体キャパシタの電荷量を、第6図に示す。組成制御の最適化技術を適用することで分極特性を大幅に改善し、目標スペックを達成した。



第6図 MOCVD条件最適化前後の分極特性

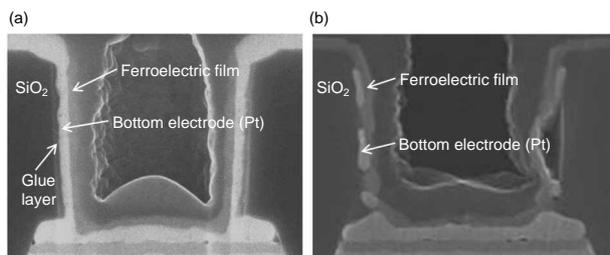
Fig. 6 Polarization characteristics of 3-D capacitors before and after optimizing MOCVD process condition

3.2 高耐熱立体電極形成技術

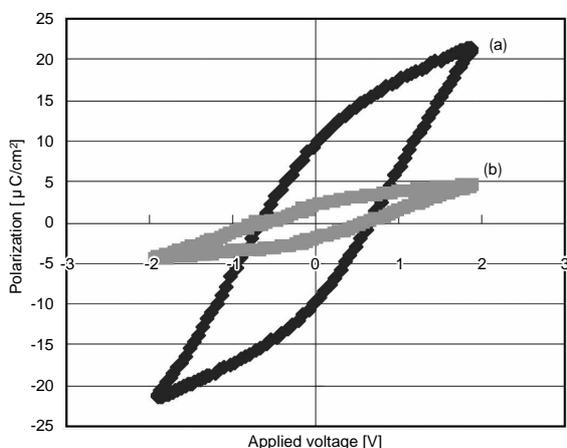
強誘電体は、分極を発現させるために、成膜後に高温熱処理 (650 ~ 750) で結晶化させる必要がある。電極材料は、耐酸化性が強く、強誘電体材料と反応しないプラチナ (Pt) を採用している。プラチナは、反応性に乏しいため、ほかの膜との密着性が悪い。かつ、熱膨張係数がSiO₂ (シリコン酸化膜) の0.6 × 10⁻⁶/Kに対して、8.8 × 10⁻⁶/Kと10倍以上大きいため、約700 の高温が印加される強誘電体の結晶化時の断線が懸念された。

筆者らは、キャパシタを形成するホール部側壁のSiO₂と、下部電極となるプラチナとの間に密着層を挿入するプロセスを開発した。密着層は、プラチナ膜との密着性や熱安定性の観点から、チタン系材料を採用した。第7図 (a) は、高温熱処理後の下部電極の断面SEM写真であり、第7図 (b) が新規に開発した密着層挿入プロセス、第7図 (c) が密着層なしプロセスである。密着層なしプロセスでは、下部電極であるプラチナが断線したり、SiO₂から剥離 (はくり) しているのに対し、密着層挿入プロセスでは、下部電極の断線が防止できている。

第8図に、立体キャパシタの分極ヒステリシス特性を示す。第8図 (a) が密着層挿入プロセス、第8図 (b) が密着層なしプロセスでの結果である。密着層なしプロセスでは、電極断線により、キャパシタに電圧が十分に印加されず、分極量が小さい。一方、密着層挿入プロセスでは、下部電極の断線が防止され、良好なヒステリシス特性が



第7図 熱処理後の下部電極の断面写真 : (a) 密着層挿入プロセス, (b) 密着層なしプロセス
 Fig. 7 Cross-sectional SEM images of bottom electrode after annealing, (a) with glue layer and (b) without glue layer

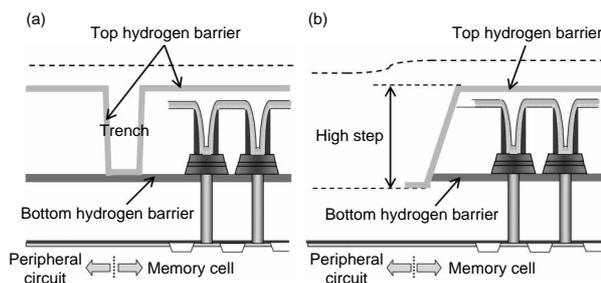


第8図 分極ヒステリシス特性 : (a) 密着層挿入プロセス, (b) 密着層なしプロセス
 Fig. 8 Hysteresis loops of 3-D capacitors, (a) with glue layer and (b) without glue layer

得られている。

3.3 高段差対応水素バリア技術

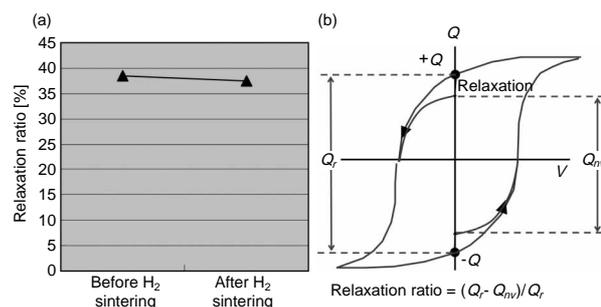
強誘電体膜は、水素の還元作用により、結晶構造中の酸素が容易に抜け、その酸素空孔や析出Biにより、リーク電流が増えたり、分極量が低下する課題がある^{4) 5)}。そこで、配線形成工程で発生する水素による強誘電体膜の還元を防止するため、上層水素バリア膜と下層水素バリア膜を接合し、キャパシタを完全に覆う構造を採用した⁶⁾。立体キャパシタに、第9図 (b) に示す従来の水素バリア構造を適用すると、メモリーセル部と周辺回路部の段差が大きいため、図中の点線で示すように、キャパシタ上層間膜の平坦性が悪くなり、配線形成時にリソグラフィのフォーカスズレによる形状異常が発生してしまう。筆者らは、第9図 (a) に示す、メモリーセルの外周部だけに溝を形成し、上層水素バリア膜を溝底部に露出した下層水素バリア膜と接合する溝型水素バリア構造を



第9図 水素バリアの断面模式図 : (a) 新規開発構造, (b) 従来構造
 Fig. 9 Schematic cross-sectional view of hydrogen barrier, (a) newly developed structure and (b) conventional structure

考案した。この構造は、メモリー部と周辺回路部の段差がないため、メモリーセル上の多層配線を形成する上で必要な平坦性を確保できる。

この構造における水素バリア性を確認すべく、強誘電体膜のリラクゼーション率を水素雰囲気での熱処理（水素シタ）前後で比較した結果を、第10図 (a) に示す。強誘電体は、第10図 (b) に示すように、印加電界がゼロになった時点の電荷量が瞬時に減衰する性質をもち、その劣化量の比率をリラクゼーション率と定義する。この比率は、強誘電体膜が水素により還元した場合に最も高感度に検出できる電気特性であり、水素により強誘電体膜の特性が劣化すると増大する。第10図 (a) に示すように、水素シタ前後で比較すると、リラクゼーション率は同等であった。つまり、新規考案した溝型水素バリア構造で、水素起因の特性劣化を防止できている。



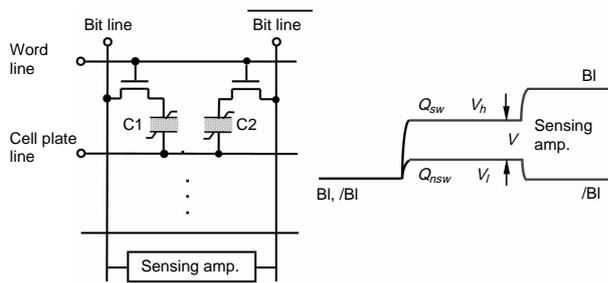
第10図 水素シタ前後での立体キャパシタ特性
 Fig. 10 Electrical properties of 3D-capacitor compared before and after H₂ sintering

4. デバイス特性・信頼性

立体キャパシタセル構造を有するFeRAM混載システムLSIのデバイス特性を説明する。

現在、一般的に用いられている2個のトランジスタと2個のキャパシタでセルを構成する2T2C型のメモリーセル

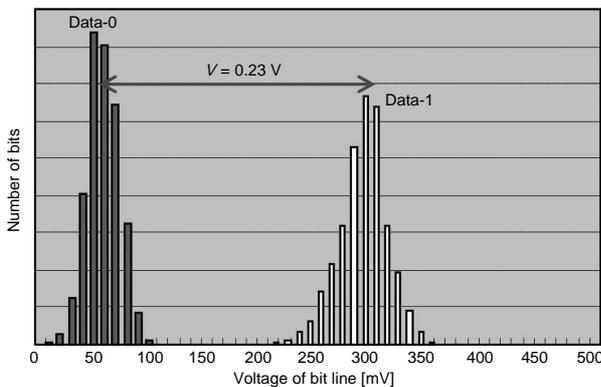
構造と読み出し動作の模式図を、第11図に示す。読み出し動作は、第1図に示す分極が反転する場合の電荷量 Q_{sw} 、分極が反転しない場合の電荷量 Q_{nsw} がビット線に伝達され、ビット線容量と蓄積容量との電荷配分により、ビット線はこれらの電荷量に対応した電位 V_h 、 V_l まで変化する。この微小電位差 $\Delta V (=V_h - V_l)$ をセンスアンプで増幅することにより、記憶情報を読み出すことができるが、 ΔV がセンスアンプの最小感度レベルより小さくなると不良が発生する。



第11図 2T2Cセル構成と読み出し動作の模式図
Fig. 11 Schematic illustration of 2T2C cell configuration and read-out operation

4.1 キャパシタ分極特性

第12図は、ビット線電位の分布を示す。データ1とデータ0の電位差 ΔV がセンスアンプの最小感度レベルより小さくなると、正しいデータを読み出しできなくなる。 ΔV のメディアン値は0.23 V、標準偏差は0.023 Vで、3のばらつきを見込んでも0.16 Vとなり、製品保証期間での劣化を考慮したセンスアンプの最小感度レベルである0.1 Vに対して、十分なマージンがあることを確認できた。これは、セルサイズを4分の1にしても、キャパシタの立体化による表面積拡大で、従来と同等の電荷量が得られて



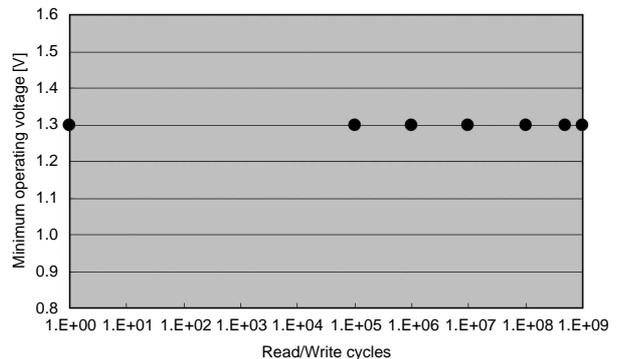
第12図 混載FeRAMにおけるデータばらつき
Fig. 12 Signal distribution of embedded FeRAM

いることを示している。

4.2 デバイス信頼性

信頼性評価は温度や電圧などのストレス印加後のキャパシタで評価され、電荷量がセンス回路の検出下限を下回った時点が寿命となる。FeRAMの信頼性の1つに、エンデュランス特性がある。エンデュランスとは、多数回のデータ書き換えによって、強誘電体の分極が疲労劣化し、保持できる電荷量が低下する現象である^{7) 8)}。書き換えによる分極劣化がある場合には、保持電荷量が低下するため、より高い電圧を印加しないと正しいデータを読み出せなくなる。つまり、動作下限電圧が上昇する。今回、デバイス仕様の規格上限電圧である1.65 Vでの書き換え動作後に、データを読み出せる最小の電源電圧を評価することでエンデュランス特性を評価した。

第13図に、書き換え回数と動作下限電圧の関係を示す。動作下限電圧は、10の9乗回の書き換え後においても、まったく上昇せず、1.3 Vという低電圧で動作した。



第13図 混載FeRAMにおける動作下限電圧のデータ書き換え回数依存性
Fig. 13 Minimum operating voltage of embedded FeRAM as function of read/write cycles

5. まとめ

混載FeRAMの大容量化を実現すべく、当社従来比約4分の1のセルサイズとなる「立体キャパシタセル構造」を有するFeRAMを、世界で初めて開発した。この微細セルは、「立体キャパシタ向け強誘電体MOCVD技術」、「高耐熱立体電極形成技術」、「高段差対応水素バリア技術」のキー技術により実現でき、鉛フリーの強誘電体材料を使用したFeRAM混載システムLSIは、1.3 Vの低電圧で動作し、10の9乗回の書き換え後まで動作下限電圧は変化しなかった。

今後、FeRAM混載システムLSIの大容量・低コスト化の要望に応えるため、更なるプロセス改善を実施し、商品化していく予定である。

参考文献

- 1) J. koo, et al. : Fabrication of 3D trench PZT capacitors for 256Mbit FRAM device application. International Electron Devices Meeting 2005.
- 2) N. Nagel, et al. : Newly highly scalable 3 dimensional chain FeRAM cell with vertical capacitor. 2004 Symp. VLSI Technology,2004,pp.146-147 (2004).
- 3) L. Goux, et al. : Composition control and ferroelectric properties of sidewalls in integrated three-dimensional $\text{SrBi}_2\text{Ta}_2\text{O}_9$ -based ferroelectric capacitors. J. Appl. Phys. 98,054507 (2005).
- 4) N. Poonawala, et al. : Transmission electron microscopy study of hydrogen-induced degradation in strontium bismuth tantalite thin films. J. Appl. Phys. 87,pp.2227-2231 (2000).
- 5) H. J. Joo, et al. : High reliable and mass-productive FRAM embedded smartcard using advanced integration technologies. 2004 Symp.VLSI Technology,2004,pp.148-149 (2004).
- 6) Y. Nagano, et al. : 0.18 μm SBT-based embedded FeRAM operating at a low voltage of 1.1V. 2003 Symp. VLSI Technology,2003, pp.171-172 (2003).
- 7) S. Kim, et al. : Direct observation of oxygen stabilization in layered ferroelectric $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$. Appl. Phys. Lett. 91,062913 (2007).
- 8) D. J. Jung, et al. : An endurance-free ferroelectric random access memory as a non-volatile RAM. 2008 Symp. VLSI Technology,2008,pp.102-103 (2008).

著者紹介



夏目進也 Shinya Natsume
 セミコンダクター社 生産本部
 Corporate Manufacturing Div.,
 Semiconductor Company



松田隆幸 Takayuki Matsuda
 セミコンダクター社 生産本部
 Corporate Manufacturing Div.,
 Semiconductor Company



那須 徹 Toru Nasu
 セミコンダクター社 生産本部
 Corporate Manufacturing Div.,
 Semiconductor Company



長野能久 Yoshihisa Nagano
 セミコンダクター社 生産本部
 Corporate Manufacturing Div.,
 Semiconductor Company



野呂文彦 Fumihiko Noro
 セミコンダクター社 生産本部
 Corporate Manufacturing Div.,
 Semiconductor Company