

GaNパワーデバイス

GaN-Based Power Devices

引田 正 洋
Masahiro Hikita

柳 原 学
Manabu Yanagihara

上 本 康 裕
Yasuhiro Uemoto

上 田 哲 三
Tetsuzo Ueda

田 中 毅
Tsuyoshi Tanaka

上 田 大 助
Daisuke Ueda

要 旨

インバータなどに用いられるパワーデバイスとして、ワイドバンドギャップ半導体であるGaNを用いて、ノーマリオフ化と低オン抵抗化を両立したパワートランジスタ（GIT：Gate Injection Transistor）を開発した。従来のAlGaIn/GaN FET（Field Effect Transistor）ではノーマリオフ化が課題であったが、GITではp型ゲートによりゲート直下のチャンネル部の電位を持ち上げて電子を枯渇させ、ノーマリオフ特性を実現した。さらに、p型ゲートからチャンネル部へホール注入させて伝導度変調を引き起こすことにより、チャンネル抵抗を低減した。作製したGITは、閾値（しきいち）が+1 Vと良好なノーマリオフ特性を示し、最大ドレイン電流が200 mA/mm、オン抵抗 $2.6 \text{ m}\Omega\text{cm}^2$ 、耐圧800 Vと、これまでに報告されたノーマリオフ型 GaN トランジスタの中で最も優れた値を得ることができた。

Abstract

We have developed a normally-off GaN-based power transistor with low on-state resistance, which we call a Gate Injection Transistor (GIT), for use in switching power devices. This new device principle utilizes hole injection from p-AlGaIn to AlGaIn/GaN hetero-junction, which increases electron density in the depleted channel resulting in a dramatic increase of the drain current owing to the conductivity modulation. The fabricated GIT exhibits a threshold voltage of 1.0 V with high maximum drain current of 200 mA/mm. The obtained on-state resistance and off-state breakdown voltage are $2.6 \text{ m}\Omega\text{cm}^2$ and 800 V, respectively. These are the best values ever reported for GaN-based normally-off transistors.

1. はじめに

省エネルギー化の観点から、インバータなどの電力変換・制御装置のキーコンポーネントであるパワーデバイスの低損失化が求められている。スイッチング素子として用いられるパワーデバイスの電力損失には、オン状態の電流経路に存在する電気抵抗（オン抵抗）による導通損失と、オン状態とオフ状態の切り替え時に発生するスイッチング損失がある。低損失化には、オン抵抗の低減とスイッチングの高速化が必要である。

現在、半導体パワーデバイスとしてはSi（シリコン）からなるMOSFET（Metal Oxide Semiconductor Field Effect Transistor）やIGBT（Insulated Gate Bipolar Transistor）が広く用いられている。これらのSiデバイスは、材料物性に起因する性能限界に近づいており、高耐圧を維持した上で、今後の更なる低オン抵抗化と高速化は困難になりつつある。

そこで、GaN（窒化ガリウム）に代表される窒化物半導体を用いることにより、Siパワーデバイスの限界を超えた低損失デバイスの実現への期待が高まっている。

2. GaNパワーデバイスへの期待

第1表に、主な半導体の物性定数を示す。ワイドバンドギャップ半導体であるGaNは、SiC（炭化シリコン）と同様に、Siと比較してバンドギャップが約3倍大きく、絶縁破壊電界は1桁大きい。オン抵抗の材料限界は絶縁破壊電界の3乗に反比例するため、GaNデバイスでは理論上Si限界の約3桁の低オン抵抗化が期待できる。また、飽和電子速度も大きいため、デバイスの高速化に適している。熱伝導率は、SiCに比べれば劣るものの、Siよりも大きな値をもつ。パワーデバイスの性能指数であるバリガ（Baliga）

第1表 各種半導体の物性定数

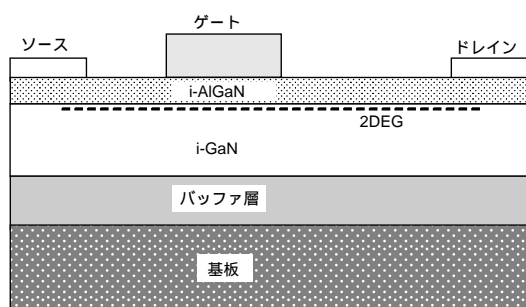
Table 1 Physical properties of semiconductor materials

	Si	GaAs	4H-SiC	GaN
バンドギャップ [eV]	1.1	1.4	3.3	3.4
比誘電率：	11.8	12.8	10.0	9.5
絶縁破壊電界： E_c [MV/cm]	0.3	0.4	3.0	3.3
飽和電子速度： V_{sat} [10^7 cm/s]	1.0	2.0	2.0	2.5
電子移動度： μ_e [cm^2/Vs]	1500	8500	1000	1200
正孔移動度： μ_h [cm^2/Vs]	600	400	115	~10
熱伝導率： κ [W/cmK]	1.5	0.5	4.9	2.1
Baligaの性能指数 $\mu_e E_c^3$ (対Si)	1	15	565	957

指数は、他の半導体の値を上回ることから、GaNはパワーデバイスへの応用に対して非常に高いポテンシャルをもつ材料であるといえる。

2.1 AlGaIn/GaN HFET

SiCと比較してGaNの優れた特徴は、AlGaIn（窒化アルミニウムガリウム）などとの間に大きなバンド不連続を有する良好なヘテロ構造を形成できることである。AlGaIn/GaN HFET（Heterojunction FET）は、AlGaInとGaNのヘテロ接合界面に発生する高濃度の二次元電子ガス（2DEG：2 Dimensional Electron Gas）を利用するデバイスである（第1図）。この系では、窒化物半導体の自発分極とピエゾ分極によって、アンドープにおいてもヘテロ接合界面に $1 \times 10^{13} \text{ cm}^{-2}$ 以上の高濃度のキャリアを比較的容易に発生させることができる。2DEGの高いキャリア濃度と高い電子飽和速度、および高い絶縁破壊電界により、低オン抵抗・高速・高耐圧のデバイスを実現することができる¹⁾⁻³⁾。



第1図 従来のAlGaIn/GaN HFETのデバイス構造

Fig. 1 Schematic illustration of conventional AlGaIn/GaN HFET structure

2.2 ノーマリオフ化の課題

パワーデバイスでは、安全性の観点からゼロバイアス時に電流を遮断するノーマリオフ特性が不可欠である。従来構造のAlGaIn/GaN HFETをパワーデバイスに応用するための最大の課題はノーマリオフ化である。AlGaIn/GaN HFETは、ヘテロ界面に発生する高濃度のキャリアのために、電流を遮断するにはゲートに負バイアスを印加する必要がある。そのため、Siデバイスの限界を超える低オン抵抗を実現できるものの、これまでパワーデバイスとしてインバータなどへの広い応用展開が困難であった。

AlGaIn/GaN HFETをノーマリオフ化するためには、ゲート直下のキャリア濃度を減少させて閾値電圧 V_{th} をプラス側にシフトさせる必要がある。最も簡単に V_{th} をプラスシフトさせるには、AlGaInの薄膜化やAl組成を低減することにより、分極効果によるキャリアの発生を抑制すればよい。しかし、キャリア濃度の減少とともに2DEGチャ

ネルの抵抗が増大し、オン抵抗が増大してしまう問題がある。そのため、ノーマリオフ化とオン抵抗低減の両立が必要であった^{4),5)}。

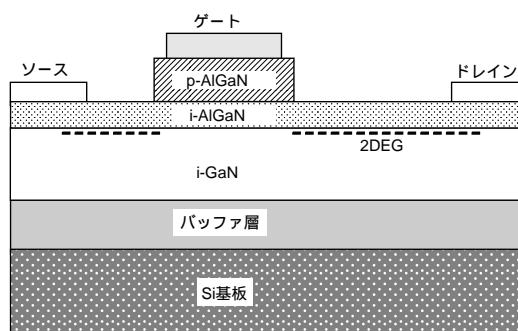
3. 新規ノーマリオフGaNトランジスタ

3.1 デバイス構造

筆者らは、ノーマリオフ化とオン抵抗低減のトレードオフを解決するため、ホール注入による伝導度変調効果を利用した新しい原理に基づいて動作するGaNパワートランジスタを開発した。AlGaIn/GaN HFETのゲート部にp型AlGaIn層を積層し、ゲートからのホール注入によりチャンネル部に伝導度変調を起こさせることによりノーマリオフ特性でありながら低オン抵抗なトランジスタを実現することに成功した⁶⁾。

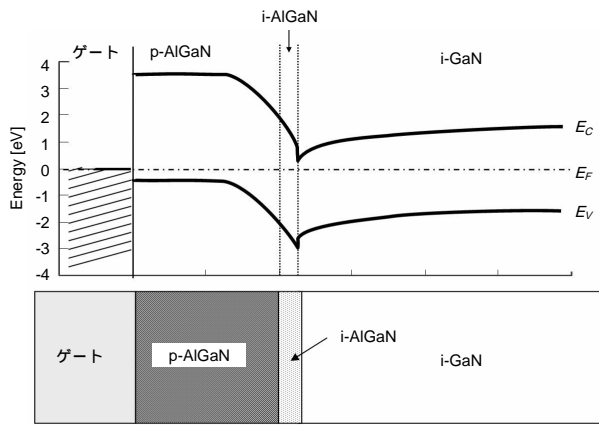
開発したGITのデバイス構造の模式図を、第2図に示す。横型デバイス構造であるGaNパワーデバイスでは、ゲート・ドレイン間に生じる高電界を緩和して耐圧を向上するために、ゲートがソース側に偏り、ドレイン側を広げた非対称構造となる。従来のHFETと異なる点は、アンドープAlGaIn/GaNヘテロ接合の上にゲートとなるp型AlGaIn層を形成している点である。従来、ショットキー接合のポテンシャル障壁により制御していたゲート部をpn接合とすることにより、ポテンシャル障壁を高くでき、ノーマリオフ化、ゲート順方向オン電圧の向上、ゲートリーク電流の低減が実現できる。

第3図に、ゲート部における垂直方向のエネルギーバンド構造を示す。AlGaIn層のAl組成は15%、膜厚はアンドープAlGaIn層が25 nm、p型AlGaIn層が100 nmである。チャンネルとなるAlGaIn/GaNヘテロ接合界面の伝導帯 E_C には約0.2 eVのバンド不連続が生じる。ゲート下においては、p型AlGaIn層がチャンネルのポテンシャルを持ち上げるため、ヘテロ接合界面の E_C はフェルミレベル E_F よりも高エネルギー側にある。したがって、ゲート電圧が0 Vにおいて



第2図 GITのデバイス構造

Fig. 2 Schematic illustration of GIT structure



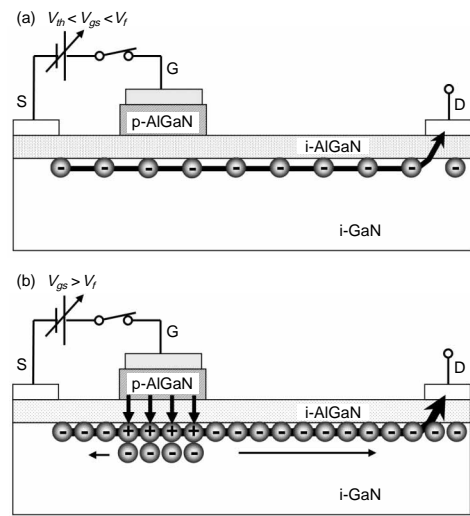
第3図 GITのエネルギーバンド構造
Fig. 3 Calculated band diagram of GIT at gate bias of 0 V

チャネル部が空乏化しており、ノーマリオフ特性となる。一方、ゲート下以外のp型AlGa_N層が無い領域では E_C が E_F よりも低エネルギー側にあり、2DEGが存在する。そのため、ゲート・ソース間およびゲート・ドレイン間のチャネル抵抗の増加は抑制された構造となっている。

3.2 GITの動作原理

GITの動作原理について説明する。ゲート電圧が0 Vの場合は前述のようにゲート直下のチャネルが空乏化しているためドレイン電流は流れない。

次に、第4図(a)に示すように、ゲート電圧が正となり、pn接合の順方向オン電圧 V_f 以下の場合、チャネルのポテンシャルが下がりチャネルに電子が発生することで、通常のFETと同様の動作をする。さらに、第4図(b)に示すようにゲート電圧が V_f を上回るとゲートからチャネルにホールが注入され始める。一方、電子はヘテロ接合のポテンシャル障壁があるため、ゲートへはほとんど流入しない。チャネル内には電荷中性条件を満たすために、注入されたホールと同量の電子がソースから引き寄せられる。発生した電子は、ドレイン電圧によりドレインに向かって高速で移動する。ところが、ホールは電子よりも移動度が2桁程度小さいために、少しソース側に移動はするがほぼゲート近傍に留まることになる。電荷中性条件を満たすためにホールは同量の電子を更に発生させることになり、注入されたホール数と発生した電子数の比は、電子の移動度とホールの移動度の比にほぼ等しくなる。その結果、ゲート電流がほとんど流れないにもかかわらずドレイン電流だけが增大することになる。ノーマリオフ特性を示すにもかかわらず、大電流駆動が可能な低オン抵抗GaNトランジスタを実現することが可能となる。



第4図 GITの動作
Fig. 4 Schematic illustration of GIT operation varying gate voltages : (a) at $V_p < V_{gs} < V_f$, (b) at $V_{gs} > V_f$

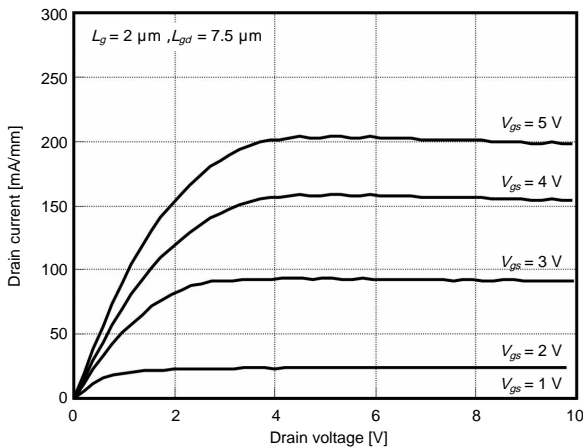
GITは、上述のようなゲートからのホール注入による伝導度変調を利用するデバイスである。IGBTなどのこれまでの伝導度変調デバイスでは、移動度のほぼ等しい電子とホールをn-ドリフト層に注入することにより両者を積極的に伝導電荷として利用することで、ドリフト層の抵抗を減少させる伝導度変調効果を利用する。今回開発したGITでは、IGBTの伝導度変調とは異なり、GaNの電子とホールの移動度の大きな差を利用する。ホールを伝導電荷として利用せず、新たに生成された電子を伝導電荷として利用することが大きな特長である。

4. デバイス特性

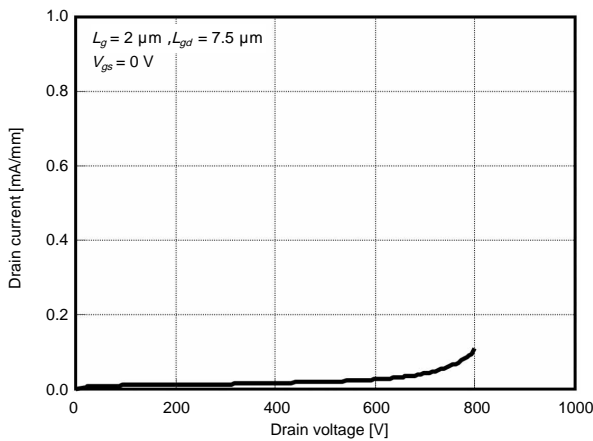
低コスト化を考慮して、試作したGITでは、安価なSi基板上にp-AlGa_N/AlGa_N/GaNヘテロ構造をエピタキシャル成長させて、第2図に示すデバイス構造を形成した。エピタキシャル膜の合計膜厚は4.7 μmであり、4インチSi(111)基板上にクラックなく、鏡面な結晶を得ている。p型ゲートはドライエッチングによって形成し、素子分離はイオン注入で行った。ゲート長 L_g にあたるp型AlGa_N層の幅は2.0 μm、ゲート・ドレイン間隔 L_{gd} は7.5 μmである。

4.1 DC特性

試作したGITのオン状態とオフ状態の $I_{ds}-V_{ds}$ 特性を、それぞれ第5図と第6図に示す。閾値電圧が+1 Vと良好なノーマリオフ特性を示し、最大電流 I_{max} が200 mA/mm、オン抵抗が2.6 mΩ/cm²、オフ耐圧が800 Vの特性を得た。

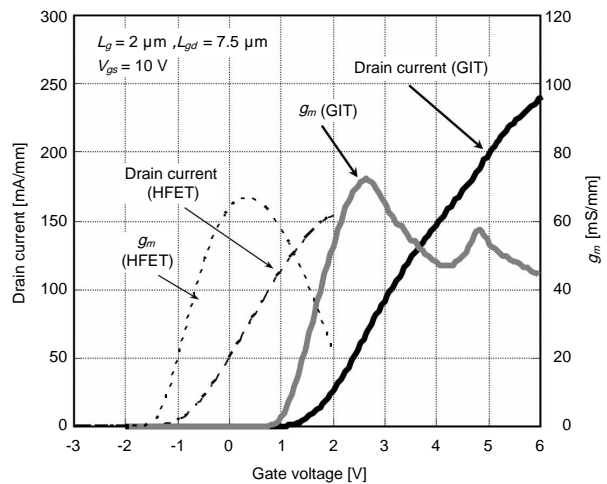


第5図 オン状態の $I_{ds} - V_{ds}$ 特性
Fig. 5 On-state $I_{ds} - V_{ds}$ characteristics



第6図 オフ状態の $I_{ds} - V_{ds}$ 特性
Fig. 6 Off-state $I_{ds} - V_{ds}$ characteristics

第7図に、試作したGITの $I_{ds} - V_{gs}$ 特性と $g_m - V_{gs}$ 特性を、比較のために従来のショットキー接合ゲートを有するHFETの特性と共に示す。従来のHFETでは、ショットキー接合の順方向オン電圧が1V程度と低いため、ゲート電圧は2V程度までしか印加できない。一方、GITではゲートに順方向オン電圧が約4Vと高いGaN系のpn接合を用いることにより、ゲート電圧として6Vまで印加可能となった。逆方向バイアス時のゲートリーク電流もショットキー接合の場合に比べ約4桁減少している。また、GITの $g_m - V_{gs}$ 特性では、従来のHFETで見られる g_m ピークの更に高電圧側に、2つ目の g_m ピークが観測された。これはホール注入による伝導度変調効果によりドレイン電流が更に増加していることを示すものである。

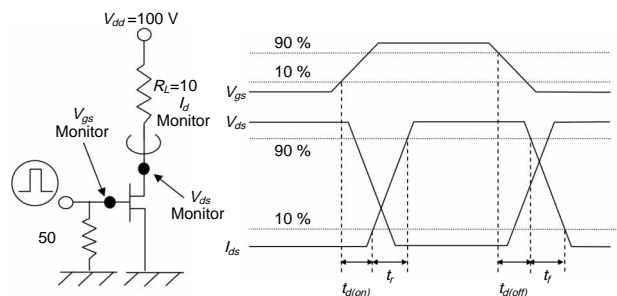


第7図 GITとHFETの $I_{ds} - V_{gs}$ 、 $g_m - V_{gs}$ 特性
Fig. 7 $I_{ds} - V_{gs}$ and $g_m - V_{gs}$ characteristics of fabricated (a) GIT and (b) HFET

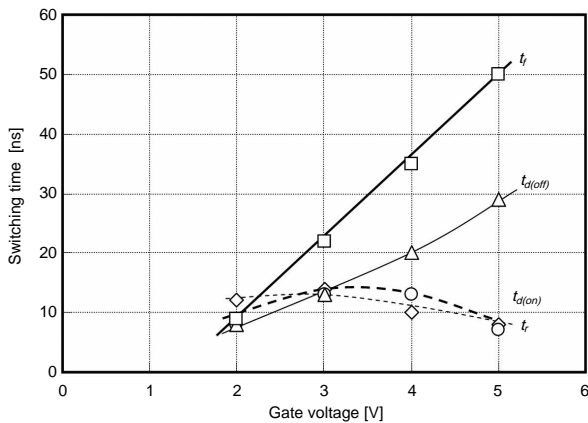
4.2 スイッチング特性

第8図に、スイッチング測定時の回路図とスイッチングパラメータの定義を示す。ドレインバイアスは100V、駆動電流は10A、負荷抵抗は10Ωとした。測定した立ち上がり時間 t_r 、立ち上がり遅延時間 $t_{d(on)}$ 、立ち下り時間 t_f 、立ち下り遅延時間 $t_{d(off)}$ のゲート電圧依存性を、第9図に示す。立ち上がり時間と立ち上がり遅延時間は共に約10nsであり、非常に高速な立ち上がり特性を確認した。

一方、立ち下り時間と立ち下り遅延時間は、ゲート電圧の増加に伴って増大することがわかった。これは注入されたホールの再結合時間に起因し、従来のSi-IGBTのバイポーラ動作によるスイッチング速度の低下と同様の現象である。しかし、ユニポーラデバイスであるSi-MOSFETと比較しても小さい値となっていることから、ホール注入によるスイッチング速度の低下は限定的であり、Siデバイスと比較してオン抵抗の点だけでなく、スイッチング速度の点からもGITの優位性を示す結果が得られた⁷⁾。



第8図 スイッチング測定時の回路図とパラメータの定義
Fig. 8 Circuit diagram for measurement and definition of switching parameters



第9図 スイッチング特性
Fig. 9 Switching characteristics

5. まとめ

従来の方法では実現困難であったノーマリオフ化と低オン抵抗化の両立を実現するために、ホール注入による伝導度変調を用いた新しい原理に基づいて動作するGaNパワートランジスタを開発した。GITはAlGaIn/GaN FETのゲート部に形成したp型ゲートによりゲート直下のチャネル部の電位を持ち上げノーマリオフ化する。さらに、p型ゲートからチャネル部へホール注入させることにより、チャネル部の伝導度を変調させてチャネル抵抗を低減させる。これにより、ノーマリオフにもかかわらず低オン抵抗なGaNトランジスタの実現が可能となった。

Si基板上に作製したGITは、閾値が+1 Vと良好なノーマリオフ特性を示し、オン抵抗および耐圧はそれぞれ $2.6 \text{ m}\Omega\text{cm}^2$ 、800 Vと、Siの材料限界を超える値が得られ、これまでに報告されたノーマリオフ型GaNトランジスタの中で最も優れた値を得ることができた。今後、更なる低オン抵抗化・高速化・高耐圧化を進めるとともに、信頼性の確認を行い、早期の実用化を計っていく。

参考文献

- 1) S. Yoshida, et al. : A high-power AlGaIn/GaN heterojunction field-effect transistor. Solid-State Electron 47,p.589 (2003).
- 2) S. Iwakami, et al. : AlGaIn/GaN heterostructure field-effect transistors (HFETs) on Si substrates for large-current operation. Jpn. J. Appl. Phys. 43,p.L831 (2004).
- 3) M. Hikita, et al. : AlGaIn/GaN power HFET on silicon substrate with source-via grounding (SVG) structure. IEEE Trans. Electron Devices 52,No.9,p.1963 (2005).
- 4) N. Ikeda, et al. : Normally-off operation power AlGaIn/GaN HFET. Proceedings of International Symposium on Power Semiconductor Devices & ICs, p.369 (2004).

- 5) W. Saito, et al. : Recessed-gate structure approach toward normally off high-voltage AlGaIn/GaN HEMT for power electronics applications. IEEE Trans. Electron Devices 53,No.2,p.356 (2006).
- 6) Y. Uemoto, et al. : Gate Injection Transistor (GIT) - A normally-off AlGaIn/GaN power transistor using conductivity modulation. IEEE Trans. Electron Devices 54,No.12,p.3393 (2007).
- 7) (株) 東芝セミコンダクター社: パワー-MOSFETデータシート <http://www.semicon.toshiba.co.jp/product/transistor/index.html> (参照2009.6.5).

著者紹介



引田正洋 Masahiro Hikita
 セミコンダクター社 半導体デバイス研究センター
 Semiconductor Devices Research Center,
 Semiconductor Company



柳原 学 Manabu Yanagihara
 セミコンダクター社 半導体デバイス研究センター
 Semiconductor Devices Research Center,
 Semiconductor Company
 工学博士



上本康裕 Yasuhiro Uemoto
 セミコンダクター社 半導体デバイス研究センター
 Semiconductor Devices Research Center,
 Semiconductor Company



上田哲三 Tetsuzo Ueda
 セミコンダクター社 半導体デバイス研究センター
 Semiconductor Devices Research Center,
 Semiconductor Company



田中 毅 Tsuyoshi Tanaka
 セミコンダクター社 半導体デバイス研究センター
 Semiconductor Devices Research Center,
 Semiconductor Company
 工学博士



上田大助 Daisuke Ueda
 先端技術研究所
 Advanced Technology Research Labs.
 工学博士