

# 無線システム用アナログ・RF集積回路技術



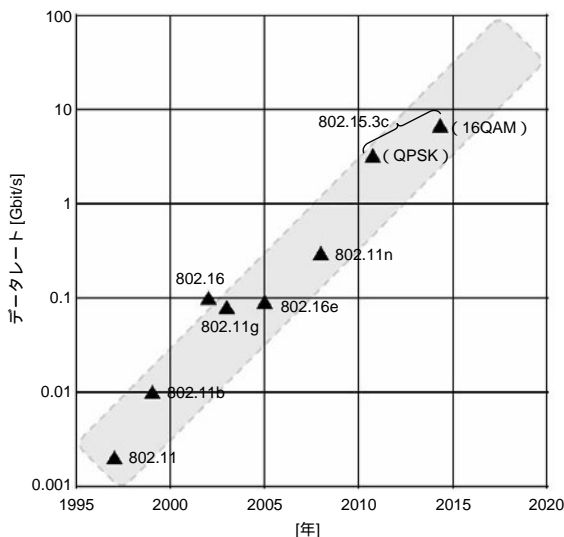
東京工業大学大学院 理工学研究科  
教授 松澤 昭

## 1 はじめに

電子機器の小型化，高性能化の勢いが止まらない。携帯電話の世界では超小型PCとも言えるスマートフォンが急速に普及し始めている。われわれが必要とするほとんどの機能が集積されており，いずれPCとの垣根も無くなることであろう。スマートフォンではデータの入出力は無線が主体であり，たいいていの情報は無線によりやりとりできる。現在はUSB (Universal Serial Bus) ケーブルも用いているが，無線に慣れてしまうと有線接続が煩わしくなるであろう。さらに画像の高精細化や動画化，3D化などに伴い，扱うデータ量が急激に増大するものと思われる。したがって，無線ネットワークの高速化は時代の必然である。

第1図に，無線ネットワークのデータレートの推移を示す。現在は100 Mbit/s程度であるが，今後の10年で100 Gbit/s程度までに向上させることが求められよう。

また，無線技術は今後，医療，環境，エネルギー分野へも広く用いられることと思われる。これらの用途ではデータレートの高速化よりは小型化や超低消費電力動作が重要となる。



第1図 無線ネットワークのデータレートの推移

ところで，このような無線技術には，これを実現する集積回路技術が欠かせない。そこで本稿では，筆者の研究室にて開発している技術を中心に無線通信用アナログ・RF (Radio Frequency) 集積回路技術の可能性と今後の動向を述べる。

## 2 ミリ波通信用RF集積回路技術

60 GHz帯は，近距離通信用に最大9 GHzもしくは1.76 GHzと極めて比較的広い周波数帯域が利用できる。従来はこのような高い周波数は化合物半導体でしか対応できなかったが，近年の微細化の進展によりCMOS (Complementary Metal Oxide Semiconductor) を用いることが可能になった。CMOSはシステム全体を集積するシステムLSI (SoC: System On Chip) に発展し，デジタルTVを中心とするデジタル情報家電の誕生と成長を促進した。次にアナログ・デジタル混載が可能なアナ・デジ混載SoCに発展することで，DVDなどのデジタル情報家電や携帯電話の発展の原動力になった[1]。システムレベルの集積が可能となることで，性能・機能の向上とともに大幅な小型化・低コスト化を実現し，市場を拡大した。

現在の無線システムに用いられるキャリア周波数は1 GHz～5 GHz程度であるが，今まさに60 GHzという，従来では想像すらできなかった周波数を扱うことのできる回路がCMOSで実現できるようになった。こうなると，デジタル技術を活用し，ミスマッチやリニアリティ補償などアナログ回路の高性能化を図ることができるほか，ミリ波帯では現在まで実現困難であった直交変復調技術やOFDM (Orthogonal Frequency Division Multiplexing) など，最高レベルの無線通信技術を用いることができるため，データレートの高速化など，無線通信性能を飛躍的に向上させることができる。

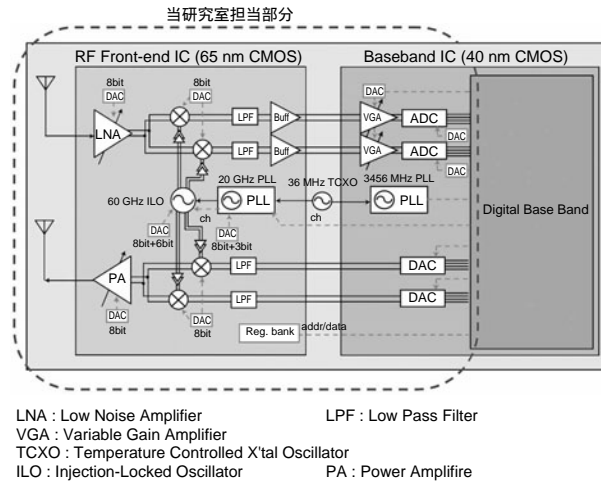
当研究室では2007年より総務省の支援のもと，「ミリ波帯ブロードバンド通信用超高速ベースバンド・高周波混載集積回路技術の研究開発」を推進してきた。

このプロジェクトは東京工業大学 安藤教授をリーダーとして，アンテナ分野，通信方式分野，集積回路分野な

どの同大学教員と企業により構成され、当研究室はRF回路およびベースバンドアナログ集積回路の開発を担当している。

第2図に、開発中の60 GHz帯 ミリ波システムの構成を示す。RFフロントエンド部は65 nm CMOSを、ベースバンド部は40 nm CMOSを用いている。第3図に、われわれが開発した60 GHz ミリ波用ダイレクトコンバージョントランシーバ[2]のチップ写真を示す。

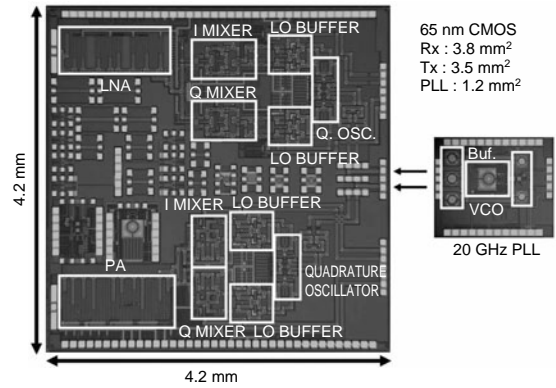
同図には60 GHzの源発振となる20 GHz PLL (Phase Locked Loop) [3] のチップ写真も併せて示している。次のステップでは、この回路もワンチップに集積する予定である。



第2図 60 GHz帯 ミリ波システムの構成

第1表に、得られた性能を示す。16QAM (16 Quadrature Amplitude Modulation) の使用が可能となり、この場合は7 Gbit/sの超高速伝送が可能である。理論上は4.7 GBのDVDのデータを約7秒で転送することができる。消費電力は送信時に250 mW程度、受信時に170 mW程度に抑えられており、次のステップではさらなる低消費電力化を目指している。

最も特徴的な技術は、第4図に示すインジェクションロックを用いた直交3通倍発振器で、直接60 GHzの直交信号を発生させるのではなく、位相ノイズに優れた20 GHz PLLを源発振として使い、60 GHz発振信号の同期パルスを与えることで従来の発振器に対して20 dBも低い-94 dBc/Hzの位相ノイズを実現した[3]。このことにより60 GHzでの直交変復調が可能になるとともに、16QAMを用



第3図 60 GHz ダイレクトコンバージョントランシーバ[2]

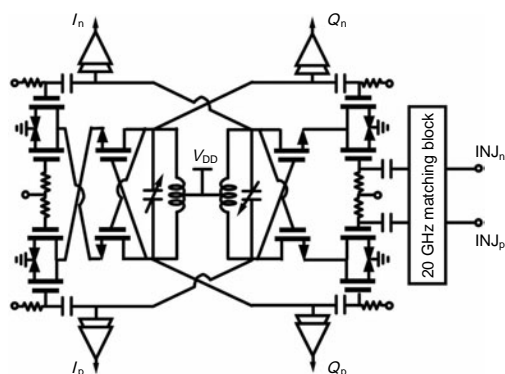
第1表 トランシーバの性能[2]

Constellation				
	1585 point	3170 point	4755 point	6340 point
Modulation	BPSK	QPSK	8PSK	16QAM
Data rate within 2.16 GHz-BW	1.76 Gbit/s	3.52 Gbit/s	5.28 Gbit/s	7.04 Gbit/s
EVM	-18 dB (-24 dB with DFE)	-18 dB (-28 dB with DFE)	-17 dB	-17 dB
Distance (BER<10 <sup>-3</sup> )	0.5 - 274 cm	0.5 - 270 cm	0.5 - 20 cm	0.5 - 17 cm

Tx		Rx		PLL[4]	
CG	18.3 dB	CG	17.3 dB (high-gain mode)	Frequency	17.9-21.2 GHz
P <sub>1dB</sub>	9.5 dBm		4.7 dB (low-gain mode)	Phase Noise through Tx @60.48 GHz	-94.2 dBc/Hz @1 MHz-offset
P <sub>SAT</sub>	10.9 dBm	NF	<6.8 dB (high-gain mode)	Ref. spur	<-58 dBc
PAE	8.8 % (only for PA)	IIP3	-5 dBm (only for LNA)	P <sub>out</sub>	-2 dBm
P <sub>DC</sub>	186 mW	P <sub>DC</sub>	106 mW	P <sub>DC</sub>	66 mW

BPSK : Binary Phase Shift Keying  
 8PSK : 8-Phase Shift Keying  
 EVM : Error Vector Magnitude  
 BER : Bit Error Rate  
 Tx : Transmitter  
 Rx : Receiver  
 CG : Conversion Gain  
 PAE : Power Added Efficiency  
 NF : Noise Figure  
 IIP3 : Third Order Input Intercept Point



第4図 インジェクションロックを用いた直交3通信発振器[2][3]

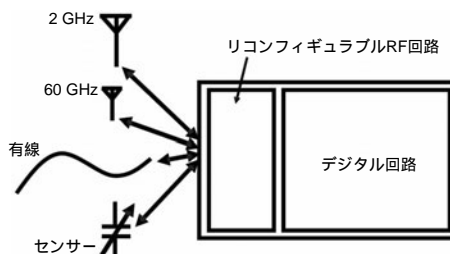
いて、通常のQPSK (Quadrature Phase Shift Keying) に比べて同一帯域で2倍にあたる7 Gbit/sの超高速データ伝送を可能にした。

CMOS技術で従来は不可能とされた60 GHzという超高周波トランシーバが実現できたのは微細化による遮断周波数  $f_T$  の向上が大きい。 $f_T$  はチャンネル長に反比例するので微細化によって確実に上昇していく。しかしながら、CMOSデバイスは基板が化合物とは異なり高周波信号に対してロスが大きく、良好な回路が実現しにくい。この点に関しては基板に高周波信号が浸透しにくいシールドを施したトランスミッションラインや、正確なデバイスモデリングと評価技術の開発により改善している。今後は回路やレイアウトの最適化を進めることやアナログ回路を制御、調整するデジタルアシスト技術の活用などにより、さらなる高性能化、低電力化、低コスト化を実現する予定である。

### 3 リンコンフィギュラブルアナログ・RF回路技術

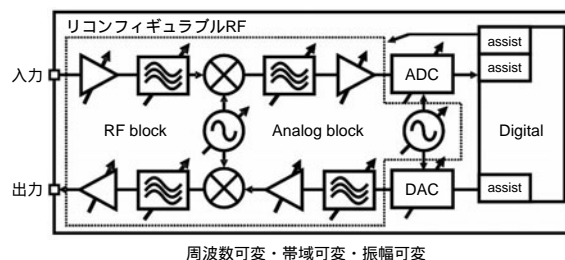
現在の携帯電話は複数の携帯電話規格、複数の無線LAN規格、RF-ID (Radio Frequency IDentification)、テレビやラジオ放送チューナーなど10種類程度の無線規格を用いている。このため多くの専用チップを用いているが、小型化、低電力化、低コスト化のためにはなるべく少ない回路で多くの無線規格に対応する必要がある。また、さまざまな通信規格を有効に使い、通信の利用効率と信頼性を高めるためには、各種通信規格を瞬時に切り替えて使用する必要も高まることであろう。さらに、有線通信への対応や各種センサーの信号処理なども必要になる可能性がある。このような場合、DSP (Digital Signal Processor) などのデジタル回路はソフトウェアや演算エンジンの切り替えである程度柔軟な対応が可能であるが、アナログ・RF回路はなかなか難しく、新たな技術開発が必要となる。さらに今後、微細化とともにSoCの開発コス

トの高騰が予想されるため、アナログ・RF回路の共通化へのニーズが高まるものと考えられる。そこで、第5図に示すような、同一回路でさまざまな信号の処理が可能なりコンフィギュラブルアナログ・RF回路を集積したSoCが今後の方向性の1つである[4]。



第5図 リンコンフィギュラブルアナログ・RF回路を集積したSoC

このような概念の実現方法は幾つかあり、最も過激な提案が万能のADC、DACを用いたものであるが、扱う信号は1  $\mu$ Vから10 V程度までと広く、また周波数範囲も100 GHz程度までと広いため、ADC、DACのみを用いて処理することはほとんど不可能である。そこで、われわれは、第6図に示すような周波数可変・帯域可変・振幅可変のアナログ回路をADC、DACの周辺に用いることで現実的な構成が可能ではないかと考えている。



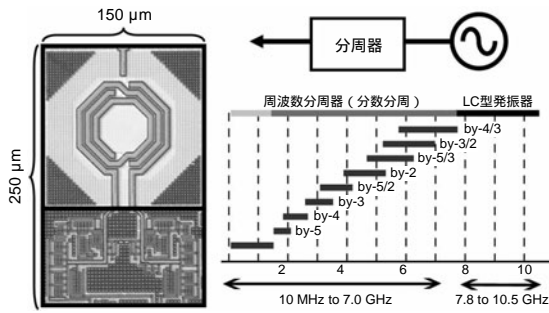
周波数可変・帯域可変・振幅可変

第6図 リンコンフィギュラブルRF回路の構成

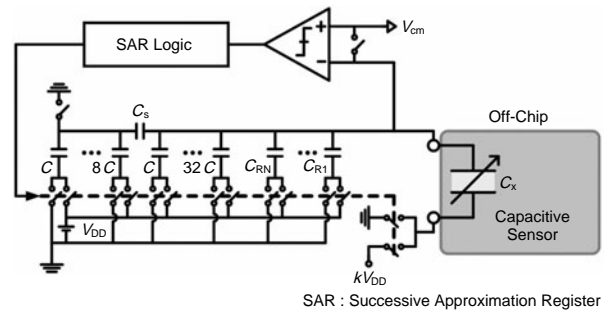
現在このようなコンセプトで受信回路、送信回路、発振器、ADCなどを開発しているが、紙面の都合により1つだけ代表的な回路を紹介する。

発振器では、位相雑音を下げ、周波数可変範囲を広げることが要求される。無線機では、雑音特性の観点からLC型電圧制御発振器の利用が必須である。ただし、従来のLC型電圧制御発振器は周波数可変範囲の狭いことが難点であり、リコンフィギュラブルRF回路の実現への大きな課題であったが、近年、この課題も解決しつつある。

第7図に示す回路は、周波数可変範囲は広いが雑音の大きい周波数分周器とLC型電圧制御発振器を組み合わせることで、低位相雑音かつ周波数可変範囲の広い電圧制御



第7図 周波数可変範囲の広い電圧制御発振器[5]

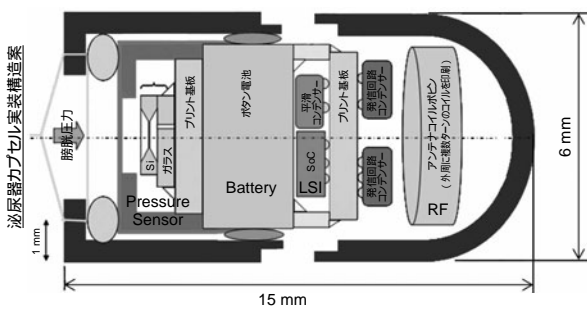


第9図 超低電力容量デジタル変換器[7]

発振器を実現したものである[5]．分数分周が可能な周波数分周器を用いることにより，従来よりも非常に低い位相雑音特性が実現可能である．

#### 4 低電圧・低電力アナログ・RF回路技術

回路の低電力化はいかなる場合も必要であるが，最近では環境への負荷を低減するグリーンICT (Information and Communication Technology) の推進や，ポータブル医療の実現，センサーネットワークなどの普及のためにも強く要望されている．例えば，第8図は奈良県立医科大学や大阪大学と共同で開発している前立腺手術前に必要な3日間にわたる膀胱内圧の遠隔測定を行うマイクロカプセルを示している．超小型電池容量の制約により，システム全体で100 μA以下の動作電流が求められる[6]．



第8図 膀胱内圧の遠隔測定を行うマイクロカプセル[6]

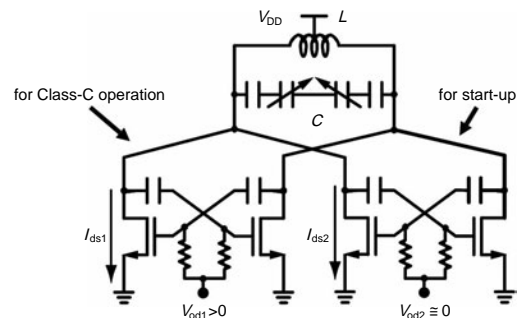
このシステムは容量型圧力センサーからの圧力情報をデジタル値に変換後，マイコンによるデータ処理を行い，毎秒30回ほど，インダクタ結合を用いた無線で外部端末にデータを送るものである．これまででは圧力センサーからの情報をデジタル値に変換するには発振器や増幅器を必要とし，数100 μA程度の消費電流を必要としたが，われわれは第9図に示すようにADCを構成する容量アレーに容量型圧力センサーを組み込むことで，10ビット精度に

おいて毎秒30回の変換では3 nAの超低電力を実現している[7]．この回路はアナログ信号を取り扱っているが，CMOSゲートと同様に抵抗を一切用いておらず，容量，ロジックゲート，スイッチだけで構成されている．したがって，定常電流が流れず，超低速動作の場合は超低電力が自動的に実現される．

ADCはこのような考えを用いることで，ここ3年ほどで従来の消費電力よりも2桁も低いエネルギーで動作するようになった．このような考え方は今後のポータブル医療の実現，センサーネットワークなどの普及のために活用されていくものと思われる．

ところで，CMOS論理回路における消費エネルギーは電源電圧の2乗に比例する．したがって，消費エネルギーの低減のためには電源電圧の低減が有効である．また今後，集積回路の微細化が進むと1 V以下の動作が求められる．そこで，われわれは0.5 V程度の低電圧で動作するアナログ・RF回路の研究を行っている．

第10図に，0.2 V動作が可能な4.5 GHz VCO (Voltage Controlled Oscillator) を示す[8]．インパルス的な動作を行うクラスC動作を用いると0.2 V程度の超低電源電圧でも発振が実現できるだけでなく，位相ノイズと消費電流を低く抑えることが可能になる．ただし，発振起動が困難になるため，エンジンに対するセルモータにあたる起



第10図 0.2 V, 100 μA動作の4.5 GHz VCO[8]

動回路を設けた．約100  $\mu$ Aで動作し，-104 dBc/Hz@1 MHzの位相ノイズ特性が得られた．

このほか，0.5 Vで動作し，消費電力が従来の1/10程度の1.4 mWの10ビット，700 MHzのD/A変換器[9]や，同じく0.5 Vで動作し，消費電力が従来の1/5程度の1.2 mWの5ビット，600 MHzのADC[10]などを開発した．従来は動作すること自体が困難な0.5 V程度の低電圧で動作する高速・高周波アナログRF回路が開発されており，低電力化にも貢献している．今後はより多くの回路を開発する予定である．

## 5 まとめと今後の展望

今後ますます重要になる無線通信技術に必要なアナログ・RF CMOS集積回路技術について，ミリ波通信を中心とする超高周波，超高速CMOS集積回路技術，システムの複雑化，多様化に対処するリコンフィギュラブルアナログ・RF回路技術，ポータブル医療の実現，センサーネットワークなどの普及や今後の微細化に必要な低電圧・低電力アナログ・RF回路技術について紹介した．

CMOS技術を用いたアナログ回路，CMOSアナログ回路とデジタル回路をワンチップに集積したアナ・デジ混載SoC，CMOS技術を用いたRF回路は，現在では当たり前になっているが，開発の当初はその実現が不可能とすら考えられていた．しかしながらCMOS集積回路は底知れぬ可能性を秘めており，これらをすべて実現してきた．それは可能性への絶え間ない挑戦を続けたためであり，製品と技術に本質的な必然性があったからである．

先が見えにくい時代ではあるが，製品と技術の方向性を素直にとらえると何を行うべきかが見えてくる．パナソニックはそれを信じて将来に必要な技術は絶え間ない研究開発を続け，社会の進歩に貢献し続けて欲しい．研究開発費の高騰や時間競争が激しさを増しているが，企業間のアライアンスや大学を含めた外部の力を活用するなど，知恵を出せば乗り越えられるはずである．そのためには，国際的にもリーダーシップを発揮し，外部とも連携ができる人材育成が重要である．

これらの研究は当研究室の岡田健一准教授，宮原正也助教，研究室のスタッフ，学生諸君によるものである．ここに深く感謝申し上げる．

## 参考文献

- [1] A. Matsuzawa, "Mixed signal SoC era," IEICE Trans. Electron, vol.E87-C, no.6, pp.867-877, Jun. 2004.
- [2] K. Okada et al., "A 60-GHz 16QAM/8PSK/QPSK/BPSK direct-conversion transceiver for IEEE802.15.3c," ISSCC 2011, 9.1, Feb. 2011.
- [3] A. Musa et al., "A 58-63.6GHz quadrature PLL frequency synthesizer in 65nm CMOS," IEEE A-SSCC Dig. Tech. Papers, pp.189-192, Nov. 2010.
- [4] 岡田健一, "リコンフィギュラブルRF回路の将来展望," 電子情報通信学会誌, vol.93, no.11, pp.948-953, Nov. 2010.
- [5] S. Hara et al., "10MHz to 7GHz quadrature signal generation using a divide-by-4/3, -3/2, -5/3, -2, -5/2, -3, -4, and -5 injection-locked frequency divider," IEEE Symposium on VLSI Circuits, pp.51-52, June 2010.
- [6] A. Matsuzawa, "An ultra-low-power analog and ADC circuit," IEEE ISSCC Forum, pp.518-519, Feb. 2010.
- [7] T. M. Vo et al., "A 10-bit, 290fJ/conv. steps, 0.13mm<sup>2</sup>, zero-static power, self-timed capacitance to digital converter," SSDM 2009, Oct. 2009.
- [8] K. Okada et al., "A 0.114-mW dual-conduction class-C CMOS VCO with 0.2-V power supply," IEEE Symposium on VLSI Circuits, pp.228-229, June 2009.
- [9] N. Shimasaki et al., "A 0.5V 1.4mW 750MHz 10b CMOS current steering DAC," SSDM, G-7-2, Sept. 2010.
- [10] M. Miyahara et al., "A 0.5 V, 1.2 mW, 160 fJ, 600 MS/s 5 bit flash ADC," IEEE A-SSCC, pp.177-180, Nov. 2010.

## プロフィール

松澤 昭 (まつざわ あきら)

1976	東北大学 工学部電子工学科 卒業
1978	東北大学大学院 工学研究科電子工学専攻 博士前期課程修了
1978-2003	松下電器産業(株)
1997	東北大学大学院 工学研究科電子工学専攻 工学博士
2003-現在	東京工業大学大学院 理工学研究科電子物理工 学専攻 教授

専門技術分野：

アナログ・RF集積回路，アナログ・デジタル混載集積回路

主な著書：

アナログRF CMOS集積回路設計 [基礎編] (培風館, 2010)  
 アナログRF CMOS集積回路設計 [応用編] (培風館, 2011)  
 基礎電子回路工学 - アナログ回路を中心に - (電気学会, 2009)  
 Fully-Depleted SOI CMOS Circuits and Technology for  
 Ultralow-Power Applications (Springer Verlag, 2005)