

ミリ波を用いたポータブル機器搭載用ギガビット伝送無線システム技術

Millimeter-Wave Giga-Bit Wireless System for Portable Devices

藤田 卓
Suguru Fujita

佐藤 潤二
Junji Sato

嶋 高 広
Takahiro Shima

坂本 剛 憲
Takenori Sakamoto

四十九 直也
Naoya Yosoku

高橋 和 晃
Kazuaki Takahashi

要 旨

デジタル機器の高機能化によって、ポータブル機器、据え置き機器を問わず、機器が取り扱うデータは数百MBから数GB、数TBへと大容量化している。短時間にこの大容量のデータを機器間移動させるためには、ギガビットクラス的高速通信が必要であり、近距離無線通信では数GHzの広い帯域を1つのシステムで使うことができるミリ波帯が注目されている。本稿では、ダイレクトコンバージョン方式、30 GHz帯プッシュ-プッシュ電圧制御型発振器、1/3分周注入同期型分周器を用いることで回路数を削減したチップサイズ 3×3.5 mm、消費電力241 mWの小型・低消費電力フロントエンドICと1 Gbit/sを超える高速の無線通信で適用可能なシンボル同期方式およびLDPC (Low Density Parity Check) 復号器を開発したので報告する。

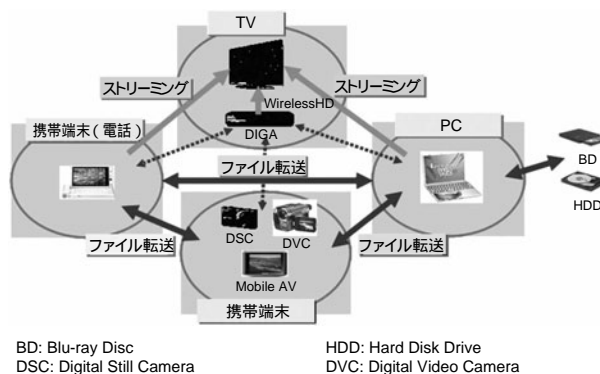
Abstract

Recently, both portable and fixed devices are able to handle multiple gigabytes or even terabytes of data. In order to transfer such huge amounts of data from one device to another quickly, a millimeter-wave (mmW) wireless communication system with more than gigabit per second (Gbit/s) rate is the most promising candidate for short range Gbit/s rate communication, because it can use a few GHz bands in the 60 GHz mmW unlicensed band. In this paper, we propose a direct conversion architecture. The chip size of the front-end IC can be implemented within 3×3.5 mm size and the power consumption is 241 mW. Moreover, we developed a symbol synchronization algorithm and Low Density Parity Check (LDPC) decoder for over 1-Gbit/s communication systems.

1. はじめに

デジタル機器の高機能化によって、ユーザーが扱うコンテンツの高品質化が加速している。これに伴い、ポータブル機器、据え置き機器を問わず、機器が取り扱うデータは数百MBから数GB、数TBへと大容量化している。短時間に大容量のデータを機器間移動させるためには、ギガビットクラス的高速通信が必要である。第1図に具体的なユースケースを示す。例えば、大画面のTV (据え置き機器) に対して携帯端末やPC (ポータブル機器) からストリーミング通信をして大画面でコンテンツを視聴する使い方がある。また、コンテンツを携帯端末間でやりとりする使い方もある。ミリ波帯は、数GHzの広い帯域を1つのシステムで使うことができるため、超高速の無線通信のアプリケーションへの適用が検討されている。特に近距離の超高速無線通信では、GaAsやGaNといった化合物半導体に加えて、微細化技術が進むCMOS (Complementary Metal Oxide Semiconductor) 半導体でのミリ波回路実現の目処 (めど) がたった。その結果、アナログ回路とデジタル回路を混載したCMOS-LSIを用いたシステムの小型化が可能となった。現在、このCMOS-LSIを用い、ミリ波帯を用いたギガビット伝送システムを低コスト、低消費電力で実現してポータブル機器へ搭載す

るための開発が精力的に行われている[1][2][3]。



第1図 高速無線通信システムのユースケース例

Fig. 1 Use cases of high speed wireless communication

2. 無線システム構成

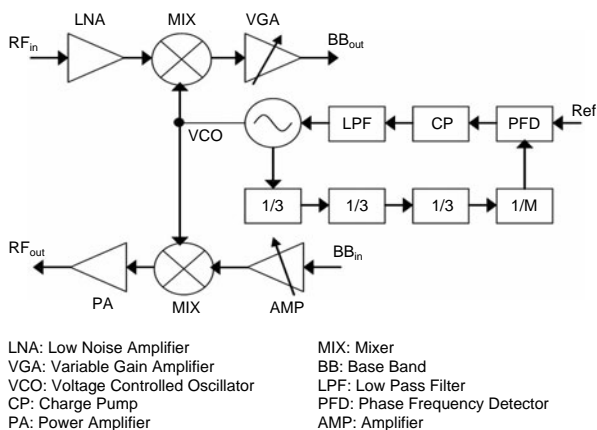
ミリ波帯を用いた無線システムでは、広い帯域を1つのシステムで占有できる。例えば、日本では、59 GHz ~ 66 GHzの7 GHzを利用することが可能である。通信用としては、これを4つのチャンネル (1チャンネルは1.76 GHz帯域幅) に分割して用いる無線システムの規格化が進んでいる。

筆者らは、60 GHz帯を用いる無線通信規格 WiGig (Wireless Gigabit) に準拠するポータブル機器搭載可能な小型・低消費電力の近距離無線システムの開発を行っている。無線システム構成は、大きくRF (Radio Frequency) 部、ベースバンド部、MAC (Media Access Control) 部からなる。RF部とベースバンド部ではそれぞれ回路構成を簡略化するためにダイレクトコンバージョン受信方式 (3章にて詳細を説明する)、シングルキャリア変調方式を採用している。また、信号帯域幅が1.76 GHzと現状の無線システムに比べて10倍以上広いため、広帯域対応したアナログ回路開発が必要となる。さらに1 Gbit/sを超える高速通信を行うための高速同期機能や誤り訂正機能も必要となる (5章にて詳細を説明する)。MAC部については本稿ではその詳細を記載しないが、規格化が完了していないため、高速信号処理・低消費電力化と適応性を兼ね備えたソフト・ハード協調設計を行うことで今後の規格変更に対応した柔軟かつ高速通信可能なシステム構成を採用している。

3. 60 GHz帯RFアーキテクチャ

ポータブル端末に搭載するための小型・低消費電力フロントエンドICでは回路構成の簡略化が重要である。スーパーヘテロダイン受信方式は雑音性能に優れているものの、中間周波数を用いるため、フィルタやミキサが必要となり回路規模が大きくなってしまふ。これに対し、ダイレクトコンバージョン受信方式では、RF信号を直接ベースバンド信号に変換するため、中間周波数用の信号処理回路を省略することができる。したがって、小型、低消費電力化無線システムに適している。

開発したフロントエンドのブロック図を、第2図に示す。



第2図 フロントエンドブロック図

Fig. 2 Block diagram of frontend

ダイレクトコンバージョン方式の課題は、DCオフセットの除去である。本方式はIF (Intermediate Frequency) 部を省くため、RF部またはベースバンド信号での受信信号強度制御を行うが、局部発振信号のリークやセルフミキシングによって生じるDCオフセットへの対応が必要となる。DCオフセットを除去せずにベースバンド信号帯域で増幅すると、増幅器が飽和したり、ADC (Analog to Digital Converter) のダイナミックレンジをオーバーしたりして正しい復調ができなくなる。これを除去するために、可変利得増幅器チェーンのレベルダイヤや飽和電力を調整した設計と、増幅器用トランジスタと並列に配置した電流調整用トランジスタに流れる電流量の変更によるDCオフセット除去を行った。

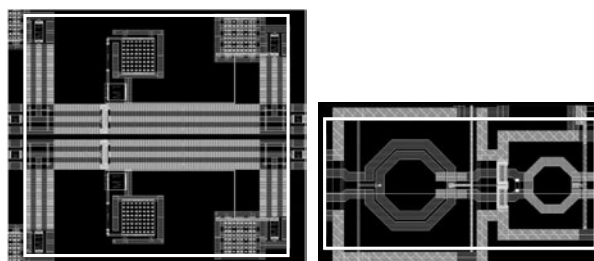
4. 60 GHz帯RF回路

60 GHz帯RF回路の開発課題は小型化と低消費電力化である。そこで、大きく2つの取り組みを行った。1つは集中定数線路用いた回路の小型化、もう1つは搬送波周波数が高くなるため回路構成が複雑になり、回路規模と消費電力が大きくなるLO (Local Oscillator) 部回路構成の簡略化である。以下、その詳細を説明する。

4.1 集中定数回路を用いた小型60 GHzTRx回路

60 GHz帯は波長が短く、配線長が波長に対して無視できないほど長くなるため、微小区間のLCRが分布して縦続接続されているように扱う分布定数線路を用いた整合回路設計が行われる。しかし、分布定数線路を用いた整合回路では、最長で1/4 λの配線が必要となり、これはCMOS上で1 mmを超える長さとなる。

そこで筆者らは、電磁界解析を用い、集中定数回路を用いて増幅器、ミキサの整合回路を設計することで回路の小型化を行った。第3図に、分布定数線路と集中定数線路のそれぞれを整合回路に用いた増幅器のレイアウトを



(a) 分布定数線路型 (400 x 360 μm)
 (a) Distributed constant circuit (400 x 360 μm)

(b) 集中定数型 (250 x 120 μm)
 (b) Lumped constant circuit (250 x 120 μm)

第3図 整合回路線路構成による増幅器サイズの比較

Fig. 3 Amplifier layout

示す．集中定数線路を用いることで回路面積を1/5に小型化することが可能となる．

4.2 LO部構成

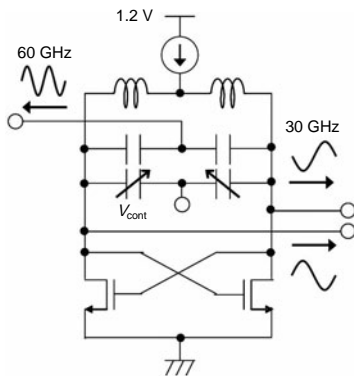
60 GHz帯無線システムでは，例えば5 GHz帯と比べて10倍以上の高い信号を搬送波に用いる．このため，LO部では逡倍器や分周器が多段になり，消費電力とチップ面積が増える．また，これらの回路で生じる高調波成分の抑圧も必要となる．これらの課題を解決するために，高次の発振成分を用いるプッシュ・プッシュ電圧制御型発振器と，注入同期型分周器を開発することで回路数を削減した．詳細設計および評価結果について以下に説明する．

〔1〕プッシュ・プッシュ発振器

プッシュ・プッシュ発振器は，2つ以上の発振器を同期発振させ，偶数次の周波数成分を合成して取り出すことで，所望の周波数より低い周波数で発振器を構成することができる．このため，最大発振周波数に対してのトランジスタの発振余裕が小さい60 GHz帯で有望な構成である．

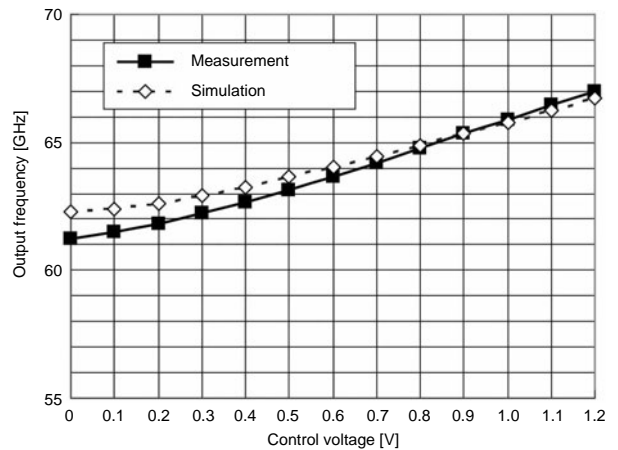
第4図に，回路図を示す．構成としてはcross-couple型とし，30 GHz差動信号出力を容量結合することにより60 GHz信号を出力している．1次信号である30 GHz帯信号を分周器に供給する信号として用いるため，60 GHz帯の分周器が不要となる．また，出力端では奇数次の周波数成分（30 GHz，90 GHzなど）が相殺されて出力されないため出力端フィルタも簡素化することができる．

第5図に，制御電圧 - 発振周波数特性の評価結果を設計結果と共に示す．発振可能周波数帯域は61 GHz～67 GHz（制御電圧0 V～1.2 V）であり，設計（Sim）との誤差は約1 GHz以内（2%以内）を実現している．共振回路全体の配線を電磁界解析して寄生成分を考慮することで高精度な設計が可能となる．発振出力は-6 dBm以上，消費電



第4図 発振器回路図

Fig. 4 Circuit schematic of voltage controlled push-push oscillator



第5図 制御電圧 - 発振周波数特性

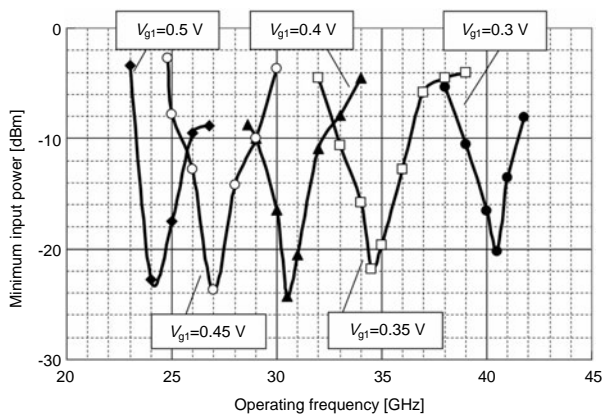
Fig. 5 Controlled voltage against oscillation frequency

流は28 mAである．

〔2〕注入同期型分周器

分周器にはCML（Current Mode Logic）構成が用いられるが，保持回路があるために高速動作が難しく，30 GHz以上の周波数での動作報告は少ない．さらに，ミリ波帯では前述のように7 GHzの帯域を4つの周波数チャンネルに分割して使用する規格策定が進んでいる．この4つのチャンネルに対応したLO部を偶数分周器と発振器で実現する場合，発振器出力に基準周波数の1/M（Mは整数で，M=基準周波数/チャンネル間隔）間隔のスプリアスが現れる．2.16 GHzという非常に広いチャンネル帯域を用いて通信を行うミリ波無線システムではこのスプリアスの抑圧が課題となる．そこで筆者らは，10 GHz発振器に30 GHz信号を注入して同期させる奇数分周の注入同期型分周器（ILFD: Injection-Locked Frequency Divider）を開発することでスプリアス発生が少ない整数分周の回路構成を実現した．注入同期型分周器とは，分周する信号と同じ周波数を高次成分とする発振器に注入し，これと発振周波数を同期させ，1次信号である発信周波数を取り出すことで次成分だけ分周された信号を取り出す分周方法である．

第6図に，入力感度と動作周波数の関係を示す．動作範囲は前節で記載したプッシュ・プッシュ発振器からの30 GHz帯信号の帯域（29.16 GHz～32.4 GHz）に対し，22.7 GHz～41.8 GHz（制御電圧 $V_{g1}=0.3$ V～0.4 V）と十分に広い帯域での動作を実現した．10 GHz信号の3 GHz信号への分周にもILFDを用い，30 GHz帯ILFDと合わせた消費電力は30 mWである．

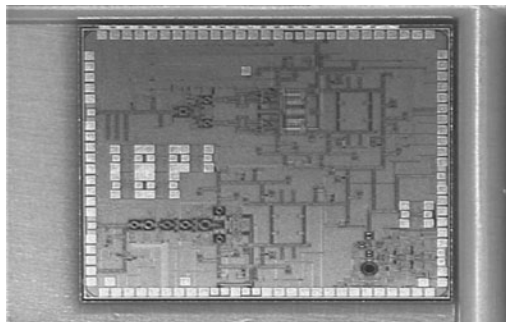


第6図 分周器特性

Fig. 6 Input sensitivity against operating frequency of 30 GHz differential ILFD

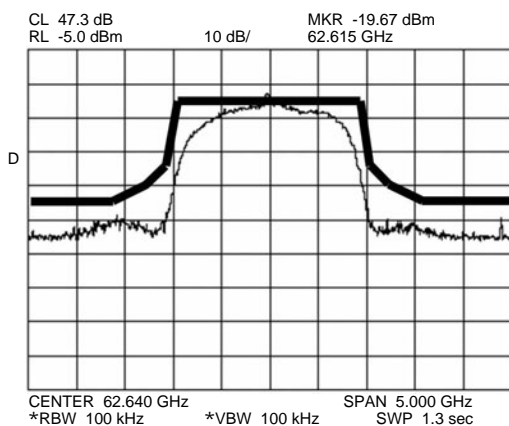
4.3 フロントエンドIC特性評価

第7図に、試作したフロントエンドICの写真を示す。チップサイズは10.5 mm²である。キャリアおよびイメージのリークは-25 dBc以下の良好な特性が得られている。



第7図 フロントエンドICの写真

Fig. 7 Photograph of frontend (3 × 3.5 mm) IC



第8図 送信スペクトラム

Fig. 8 Tx output spectrum (1/2-BPSK)

第8図に、 1/2-BPSK (1/2-Binary Phase Shift Keying) 変調時の出力スペクトラムの評価結果を示す。EYEパターン測定も行い、良好な特性が得られており、BER (Bit Error Rate) 特性でエラーフリーを確認した。第1表に、開発したCMOSフロントエンドICの特性をまとめる。従来 [2]と比較して低消費電力 (241 mW , 電源電圧1.2 V) を達成した。

第1表 RF部性能一覧

Table 1 Specifications

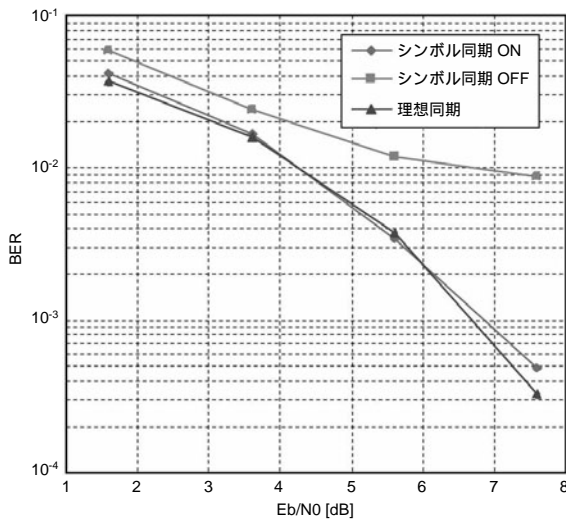
	機 能	性 能
LO	動作周波数	61.1 GHz ~ 66.8 GHz
	VCO出力	-6 dBm
送信系	利 得	17.4 dB
	出力P1 dB	5.3 dBm
受信系	最大利得	49.2 dB
	可変利得幅	36.5 dB
全 体	消費電流 (送信時)	201 mA
	チップ面積	3×3.5 mm

5. ベースバンド機能

ベースバンド部には1 Gbit/sを超える高速の変調・復調機能、同期機能や誤り訂正機能が必要である。本稿では、シンボル同期およびLDPC復号の高速化と低消費電力化について述べる。

5.1 シンボル同期

従来のシンボル同期回路はアナログデジタル混載で実現される。この方式では、アナログデジタル変換器のサンプリングクロックを変更してシンボル同期を実現するが、プロセス微細化による小型・低消費電力化が望めない。そこで筆者らは、フルデジタルのシンボル同期方式の開発を行った。開発課題は、サンプルタイミング誤差算出手法である。既存の手法としては、Mueller Muller法 [4] , Gardner法 [5] などがある。しかし [4] は、サンプルデータがキャリア位相、周波数オフセットのない状態でなければ正しい値を算出できず、 [5] の方式は今回使用する変調方式の一つである Precoded-GMSK (Gaussian filtered Minimum Shift Keying) に適用できないという課題がある。そこで筆者らは、遅延中間点外積によるサンプルタイミング誤差算出方式を開発した。本方式は周波数オフセット存在下の 1/2-BPSKでもPrecoded-GMSKでもタイミング誤差を算出可能である。同期性能を、第9図に示す。本方式を用いることで理想同期特性と同等の誤り率特性が得られる。



第9図 シンボル同期性能

Fig. 9 Symbol synchronization performance

5.2 LDPC復号

LDPC符号は高い誤り訂正能力をもつが、特に復号器の規模が大きくなるため、回路削減がポータブル機器搭載の課題である。そこで、復号アルゴリズムに加算・最小・正負判定・正負符号の乗算という簡単な演算のみで実現できるMin-Sum復号を採用した。さらに、複数の符号化率の復号回路の共用化と行重みが一定値以下になるよう検査行列を分割し、行処理、列処理に必要な比較器、加算器の共用化を行うことで比較器数を2/15にした。本方式により、BPSK変調、符号化率13/16、伝送レート1.2 Gbit/sで感度点は $BER=10^{-6}$ @ $E_b/N_0=5$ dBとなり、第9図に示す誤り訂正なしから改善することを確認した。

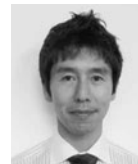
6. まとめ

近距離に置かれた機器間で大容量データを短時間で移動させる超高速通信の実現に向け、ポータブル機器に搭載可能な小型・低消費電力の60 GHz帯の無線システムの開発を行っている。今回は、これを実現するための60 GHz帯RF部を試作し、送受信の基本性能の確認を行うとともに、1 Gbit/sを超える高速の無線通信で適用可能なシンボル同期方式、キャリア周波数オフセット補正方式、LDPC復号器の開発を行い、提案方式の有効性を実証した。今後は、プロセス・バイアス電圧・温度といったばらつきによるアナログ歪（ひずみ）に対応した補正を行う機能を搭載したベースバンドICを開発する予定である。

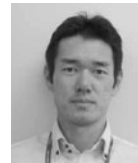
参考文献

- [1] S. Pinel et al., "A 90nm CMOS 60GHz radio," ISSCC Dig. Tech. Papers, pp.130-131, Feb. 2008.
- [2] M. Tanomura et al., "TX and RX front-ends for 60GHz band in 90nm standard bulk CMOS," ISSCC Dig. Tech. Papers, pp.558-559, Feb. 2008.
- [3] Cristian Marcu et al., "A 90nm CMOS low-power 60GHz transceiver with integrated baseband circuitry," ISSCC Dig. Tech. Papers, pp.314-315, Feb. 2009.
- [4] K. H. Mueller et al., "Timing recovery in digital synchronous data receivers," IEEE Trans. Commun., pp.516-531, May 1976.
- [5] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," IEEE Trans. Commun., pp.423-429, Oct. 1986.

著者紹介



藤田 卓 Suguru Fujita
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center



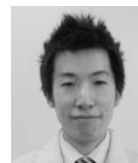
佐藤潤二 Junji Sato
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center



嶋 高広 Takahiro Shima
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center



坂本剛憲 Takenori Sakamoto
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center



四十九直也 Naoya Yosoku
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center



高橋和晃 Kazuaki Takahashi
東京R&Dセンター
通信コアデバイス開発センター
Communication Core Devices Development Center,
Tokyo R&D Center
工学博士