

# 省エネ電源制御IC

Control IC for High-Efficiency DC-DC Converter

石井 卓也  
Takuya Ishii

## 要 旨

電源回路の高効率化は、スイッチングトランジスタなどの主要デバイスの性能によるところが大きい。制御ICはスイッチングトランジスタの駆動回路部を有し、好適に駆動することが求められる。開発した6品種は、スイッチングトランジスタにTMOS-FET (Trench Metal Oxide Semiconductor-Field Effect Transistor) を用いて高効率化したヒステリテック制御方式のPOL (Point Of Load) 用DC-DCコンバータであり、2チップのTMOS-FETと制御ICチップを同一パッケージに実装したMCP (Multi-Chip Package) 構造を有する。搭載した制御ICは、ヒステリテック制御方式の課題であったスイッチング周波数の変動や出力リップル電圧の増加を抑制できる。測定結果では、定格出力3 Aにおいて同等他社製品に比べて効率が約3 %向上した。

## Abstract

Efficiency of DC-DC converter is dependent on the performance of the main devices, such as the switching transistor, for instance. So a control IC which has drivers for switching transistors is required to drive them optimally. The hysteretic control DC-DC converters for Point Of Load (POL) have 2 Trench Metal Oxide Semiconductor-Field Effect Transistor (TMOS-FET) chips and a control IC chip in the same Multi-Chip Package (MCP). The control IC reduces the change of switching frequency and output ripple voltage, which are demerits of hysteretic control. The efficiency at 3 A, rated load current, is 3 % improvement compared to a conventional converter.

## 1. はじめに

ほとんどすべての電子機器に搭載される電源回路にとって、電力変換効率の向上は、近年の省エネルギー要望以前からの重要技術課題である。電源回路の最小構成単位であるDC-DCコンバータには、すでに効率90 %を越えるものも珍しくなく、さらなる効率向上が図られている。

DC-DCコンバータは基本的に主スイッチと整流スイッチ (またはダイオード)、インダクタ、出力コンデンサと制御回路から構成され、電力変換時の損失の大半は主スイッチと整流スイッチとインダクタから発生する。

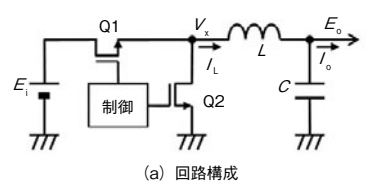
主スイッチと整流スイッチを構成するスイッチングトランジスタとして、トレンチMOS (Metal Oxide Semiconductor) 構造の電界効果型トランジスタ (TMOS-FET) が開発された。本稿では、TMOS-FETと制御ICを同一パッケージに実装したMCP (Multi-Chip Package) 構造のPOL用DC-DCコンバータを紹介し、解説する。

## 2. 降圧コンバータ

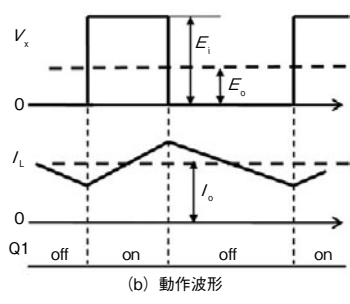
### 2.1 降圧コンバータの基本動作

第1図は、降圧コンバータと呼ばれるDC-DCコンバータの回路構成と動作波形である。主スイッチQ1のスイッ

チング動作によって、入力直流電圧 $E_i$ は数十kHz～数MHzのパルス電圧に変換され、インダクタ $L$ と整流スイッチ $Q2$ と出力コンデンサ $C$ によって整流・平滑されて出力直流電圧 $E_o$ が出力される。整流スイッチ $Q2$ は主スイッチ $Q1$ と交互にオンオフするスイッチングトランジスタである。主スイッチ $Q1$ のスイッチング周期を $T_s$ 、オン時間を $T_{on}$ とすると、入出力電圧の関係は理想的には (1) 式で表される。制御回路は、出力直流電圧 $E_o$ が



(a) 回路構成



(b) 動作波形

第1図 降圧コンバータ  
Fig. 1 Buck converter

所望値に安定化するように、主スイッチQ1や整流スイッチQ2のオンオフ時間を調整する。

$$E_o = \frac{T_{on}}{T_s} \cdot E_i \quad \dots\dots\dots (1)$$

### 2.2 スイッチングトランジスタの損失

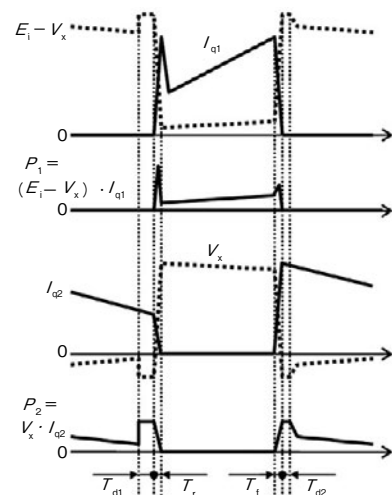
スイッチングトランジスタの損失はスイッチング損失と導通損失に大別される。第2図にスイッチングトランジスタの損失を示す。

スイッチング損失とは、スイッチングトランジスタのターンオン、ターンオフの際に発生する損失であり、図中の期間 $T_r$ 、 $T_f$ における損失 $P_1$ 、 $P_2$ に相当する。スイッチング損失はスイッチング周波数に比例して増大する。この損失を低減するには、スイッチングトランジスタの特性では寄生容量を低減し、制御回路の駆動能力では瞬時駆動電流を大きくして、スイッチング時間 ( $T_r$ 、 $T_f$ ) を短縮する。

導通損失とは、スイッチングトランジスタのオン期間 (図中の $T_r$ 、 $T_f$ を除く期間) における電圧-電流積である。この損失を低減するには、スイッチングトランジスタの特性ではオン抵抗を低減し、駆動能力ではゲート電圧を高く設定する。

また、スイッチング周波数が高くなるとデッドタイム (図中の $T_{d1}$ 、 $T_{d2}$ ) での損失も要注意である。デッドタイムは主スイッチと整流スイッチとの同時オンを防ぐために設けられる期間で、両方のスイッチがオフ状態であるため、電流がスイッチのボディダイオードを流れる。このため、短い期間ではあるが導通損失はボディダイオードの順方向電圧と電流との積となって増大する。デッドタイムは最小限に抑える必要がある。

なお、制御回路にとっては、駆動電流を大きくすることもゲート電圧を高くすることも、自身の駆動損失を増大するので、スイッチングトランジスタの損失低減とはトレードオフの関係にあり、DC-DCコンバータ全体の



第2図 スイッチングトランジスタの損失  
Fig. 2 Loss of switching devices

損失低減を考慮した最適駆動条件の設定が重要である。

## 3. POL用DC-DCコンバータ

第1表に、開発したPOL用DC-DCコンバータのラインナップを示す。POLは負荷 (LSI) の近くに配置され、低電圧・大電流を供給するDC-DCコンバータである。省エネのためにLSIの消費電流は、動作モードに応じて大きく変動する。このためPOL用DC-DCコンバータには小型化・高効率化はもちろん、供給電流の急変に伴う電源電圧変動の抑制、すなわち高速応答性能が求められる。特長は次の3点である。

- ・ TMOS-FETを採用して低損失化
- ・ 新工法でQFN (Quad Flat Non-leaded) パッケージに半導体部品を実装して小型化
- ・ ヒステリテック制御方式を採用して高速応答化

第1表 POL\_DC-DC コンバータ ラインナップ

Table 1 Line-up of POL\_DC-DC converters

制御IC	Low voltage input type			Middle voltage input type		
	No. 1	No. 2	No. 3	No. 4	No. 5	No. 6
入力電圧	4.5 to 5.6 V (VIN) / 2.9 to 5.6 V (PVIN)			4.5 to 28 V (VIN/PVIN)		
出力電圧	0.6 to 3.5 V			0.75 to 5.5 V		
出力電流	3 A	6 A	9 A	3 A	6 A	10 A
オン抵抗	主SW	25 mΩ	9 mΩ	25 mΩ		9 mΩ
	整流SW	25 mΩ	9 mΩ	25 mΩ	9 mΩ	
SW周波数	0.5 / 1 / 2 MHz			0.25 / 0.75 / 1.25 MHz		
パッケージ	HQFN24		HQFN40	HQFN24	HQFN40	
	縦横	4×4 mm	6×6 mm	4×4 mm	6×6 mm	
	高さ	0.5 mm	0.5 mm	0.5 mm	0.5 mm	

### 3.1 TMOS-FETによる低損失化

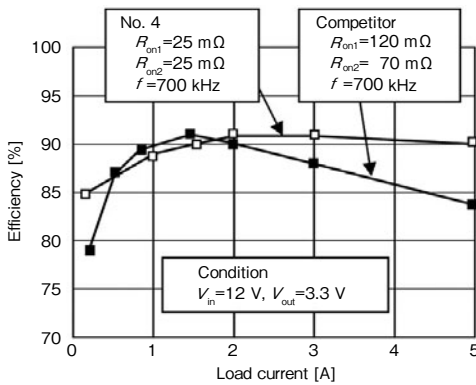
主スイッチの導通損失 $P_{on1}$ と整流スイッチの導通損失 $P_{on2}$ は、それぞれのオン抵抗を $R_{on1}$ ,  $R_{on2}$ とするとおおよそ次式で表される。

$$P_{on1} \cong \frac{E_o}{E_i} \cdot I_o^2 \cdot R_{on1} \quad \dots\dots\dots (2)$$

$$P_{on2} \cong \frac{E_i - E_o}{E_i} \cdot I_o^2 \cdot R_{on2} \quad \dots\dots\dots (3)$$

TMOS-FETのオン抵抗は $8 \text{ m}\Omega/\text{mm}^2$ と、従来FETの約50%である[1]。第1表にあるように、大出力用途にはオン抵抗を $9 \text{ m}\Omega$ に設定した。特に入力電圧が高い場合、(3)式からわかるように整流スイッチ側の導通損失が大きくなるので6A品でもオン抵抗を $9 \text{ m}\Omega$ としている。これらのオン抵抗値は他社同等品からほぼ半減しており、第3図に示すように重負荷での効率が向上している。

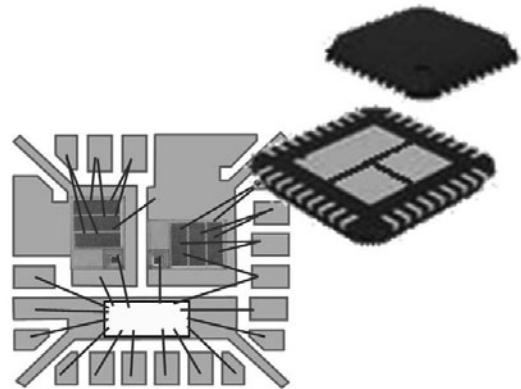
全領域で他社品を凌駕（りょうが）する高効率化はさすがに困難ではあるが、オン抵抗を高く調整することによって、重負荷での効率を犠牲にして中負荷領域の効率を向上することは可能である。



第3図 効率特性  
Fig. 3 Efficiency comparison

### 3.2 マルチチップパッケージ

第4図に、本POL用DC-DCコンバータの実装形態であるQFNパッケージの外観イメージを示す。このパッケージ内に、TMOS-FET 2チップ（主スイッチと整流スイッチ）と制御ICが実装される。第1表のように、これらが $6 \times 6 \text{ mm}$ に収まることにより、スイッチングトランジスタと制御ICが別個のパッケージであった従来形態に比べ、実装面積を約 $12 \text{ mm}^2$ 低減できる。

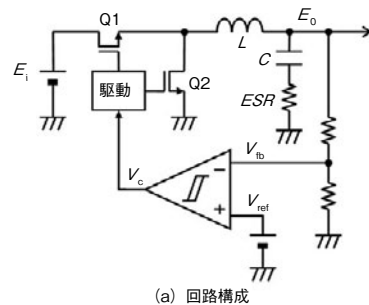


第4図 QFNパッケージ  
Fig. 4 QFN package

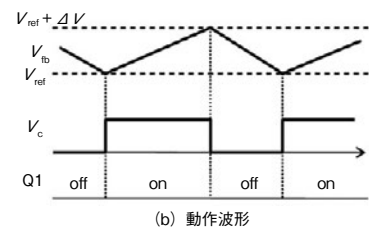
### 3.3 ヒステリティック制御[2], [3]

基本的なヒステリティック制御方式は、第5図に示すように出力電圧が所定レベル内を増減するように主スイッチをオンオフする。通常の制御方式と異なり、ヒステリシスコンパレータの出力で主スイッチをオンオフするため、アナログ的な位相補償や応答遅れが無い高速応答性が達成できる。

その一方、出力電圧にはコンパレータのヒステリシス幅に相応した出力リップル電圧が発生する。この出力リップル電圧は出力コンデンサの等価直列抵抗ESR (Equivalent Series Resistance) での電圧降下であり、小さいことが望ましい。出力リップル電圧を小さくするには、ヒステリシス幅 $\Delta V$ を小さくすればよいが、スイッチング周波数がいたずらに高くなったり、動作が不安定



(a) 回路構成



(b) 動作波形

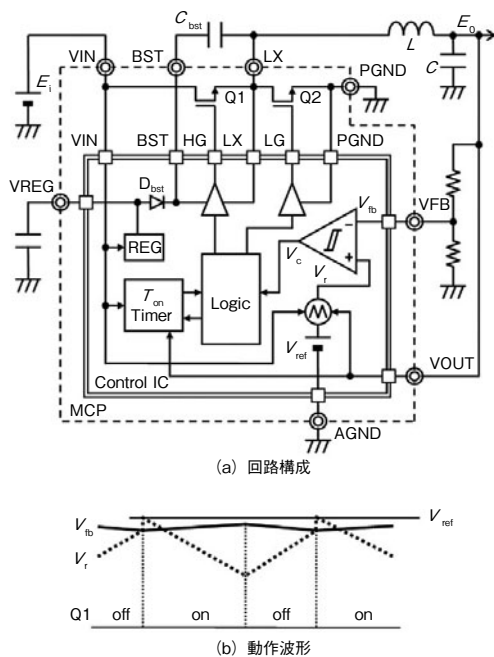
第5図 ヒステリティックコンバータ  
Fig. 5 Hysteretic converter

になったりといった問題がある。

開発した一連の制御ICでは、出力リップル電圧を小さくしながらヒステリシス幅を確保できるように、出力電圧と比較する基準電圧側に出力リップル電圧相当のランプ波形を重畳する方式を採用した。また、主スイッチのオン時間を所定値に設定し、スイッチング周波数の変動を抑制した。その代表的な回路構成と動作波形を、第6図に示す。

図中の二重線は制御IC、破線はMCPの範囲を示す。抵抗分圧によって検出された出力検出電圧 $V_{fb}$ は、ヒステリシスコンパレータによってランプ波形の重畳された基準電圧 $V_r$ と比較される。実際には、出力検出電圧 $V_{fb}$ が等価的にランプ波形を重畳された基準電圧 $V_r$ と比較されるように、ヒステリシスコンパレータの入力オフセットをランプ波形とし、回路規模や消費電流を低減している。主スイッチQ1のオフ期間において出力検出電圧 $V_{fb}$ が上昇してくる基準電圧 $V_r$ と交差すると比較結果 $V_c$ が反転し、主スイッチQ1をターンオンする。同時にオン時間を設定する $T_{on}$  Timerがオン時間を計時し、入出力電圧によって設定されたオン時間後に主スイッチQ1をターンオフする。オン時間 $T_{on}$ は仮想周期を $T_{si}$ として、(4)式のように設定される。(1)式から実際のスイッチング周期 $T_s$ が仮想周期 $T_{si}$ にほぼ等しくなることがわかる。

$$T_{on} = \frac{E_o}{E_i} \cdot T_{si} \dots\dots\dots (4)$$

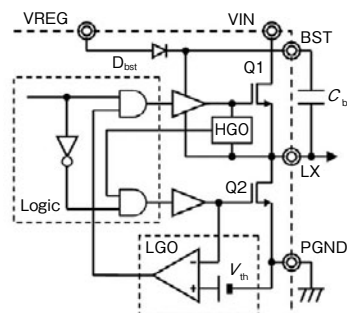


第6図 POL用DC-DCコンバータ  
Fig. 6 DC-DC converter for POL

### 3.4 駆動部

第7図に駆動部を示す。主スイッチQ1に用いたTMOSFETは低オン抵抗性を重視したNチャンネル型であるので、LX電位基準の駆動用電源電圧を確保するためにブートストラップ回路が必要になる。本制御ICでは駆動用コンデンサ $C_{bst}$ は端子BST-LX間に外付けするが、その充電回路 $D_{bst}$ は内蔵している。

回路ブロックLGOは、整流スイッチQ2のゲート電圧が閾値(しきいち)電圧より低いこと、すなわち整流スイッチQ2のオフを検出する。通常動作時においては、出力検出電圧 $V_{fb}$ と基準電圧 $V_r$ が交差→コンパレータ反転→整流スイッチQ2のゲート電圧が閾値電圧より低下→LGO出力反転→主スイッチQ1のゲート電圧上昇、というプロセスを経て主スイッチQ1がターンオンする。整流スイッチQ2のターンオンも同様で、主スイッチQ1のターンオフをHGOが検出した後に整流スイッチQ2をターンオンする。以上のように、主スイッチQ1と整流スイッチQ2との同時導通を防ぎ、かつデッドタイムを最短化している。



第7図 駆動部  
Fig. 7 Driver

### 3.5 軽負荷動作

(1)式が成り立つのはインダクタ電流が常に流れ続けるCCM (Continuous Conductive Mode) のときであり、軽負荷となってインダクタ電流がゼロとなる期間が生じるDCM (Discontinuous Conductive Mode) では、出力安定化のためには $T_{on}/T_s$ を小さくする必要がある。本制御ICは、オン時間 $T_{on}$ は負荷に依らないので、軽負荷時にはオフ時間が延び、次次のようにスイッチング周波数 $f_s$ は出力電流 $I_o$ に比例して低下していく。

$$f_s = \frac{2E_o \cdot I_o \cdot L}{E_i \cdot (E_i - E_o) \cdot T_{on}^2} \dots\dots\dots (5)$$

軽負荷ほどスイッチング周波数が低下するので、ス

特  
集

スイッチング損失が低減される。第3図の効率特性において、出力電流0.1 Aでは他社品と同等以上の効率を示している。

#### 4. まとめ

スイッチングトランジスタにTMOS-FETを用いて高効率化したヒステリテック制御方式のPOL用DC-DCコンバータを開発した。本DC-DCコンバータにより、電源部の小型化・高効率化に寄与できる。DC-DCコンバータの今後の品種展開を進めるとともに、制御ICのさらなる性能向上として、待機時の低消費電力化と、コンバータの小型化のためのスイッチング周波数の高周波化を進める。待機時低消費電力化では、待機時からの復帰の高速化が課題である。また、高周波化においては、本稿で述べた駆動部の各回路ブロックにおける遅延時間を短縮し、デッドタイムのさらなる低減が必要である。

#### 参考文献

- [1] “新世代トレンチMOS FET,” TECHNO-FRONTIER2010, 展示パネル。
- [2] 山下勝己, “アナログ強化塾 – 第6回 – 高速が特徴のヒステリシス制御電源制御方式の主役に躍り出る,” 日経エレクトロニクス, 2009.6.15, pp.78-86.
- [3] “高速応答ヒステリテックDC-DCコンバータ,” TECHNO-FRONTIER2010, 展示パネル。

#### 執筆者紹介



石井 卓也 Takuya Ishii  
デバイス社 半導体事業グループ  
Semiconductor Business Group, Industrial  
Devices Company