

# ESD保護用低電圧積層バリスタ

Multilayer Ceramic Chip Varistors with Low Varistor Voltage for ESD-Protection

古賀 英一  
Eiichi Koga

沢田 典子  
Noriko Sawada

網沢 幹典  
Mikinori Amisawa

南 誠一  
Seiichi Minami

沖本 知久  
Tomohisa Okimoto

## 要 旨

ZnOへSrCoO<sub>3</sub>を添加したバリスタ材料は低電圧領域で優れた非直線性を発現する。バリスタの特性起源である粒子界面における電圧は、従来材料（BiおよびPr添加系）と比較して約25%低圧化された。それを用いた積層バリスタは、ESD（Electro-Static Discharge）保護効果につながる低電圧特性（ $V_{1mA}=5.6$  V）と強ESD耐性（8 kV）を両立する。また、放電原理を併用した新型の積層バリスタは低静電容量（0.1 pF）でありながら、優れたESD抑制効果（200 V at 8 kV: IEC61000-4-2）を示す。これらは各種電子機器、携帯電話のアンテナ直下やLED（Light Emitting Diode）などのESD対策に有効である。

## Abstract

ZnO + SrCoO<sub>3</sub> ceramic shows excellent non-linear *I-V* properties in the low-voltage region. It intrinsically has about 25% lower varistor voltage per grain boundary than that of conventional Bi/Pr-based varistors. The Multilayer Ceramic Chip Varistors (MLCVs) show low voltage properties ( $V_{1mA}=5.6$  V) and good reliability performance against Electro-Static Discharge (ESD) at 8 kV. In addition, regardless of having low capacitance (0.1 pF), novel MLCVs with electric discharge within the varistor material provide excellent ESD suppression (200 V for 8 kV under IEC 61000-4-2). They would be particularly useful as varistors in various types of electronics which require ESD protection.

## 1. はじめに

ZnOバリスタは、サージ（異常電圧）やESD（静電気放電）などの過電圧から電子機器を保護する対策部品として広く使用され、各種電子機器の高信頼性へ貢献している[1]。近年、ESD対策用の積層バリスタが新たなバリスタの用途として注目され、携帯電話などのモバイル系電子機器、各種ICなどをESDから保護する目的で採用が広がっている。ESDは人体などから発生する数kVもの高電圧パルスであり、電子機器へ侵入すると機器の誤動作や故障を引き起こす。特に高機能化・小型化に伴う半導体プロセスの微細化は、ESDに対する耐性を脆弱（ぜいじゃく）にし、最新のICほどESD対策が重要となっている。また、最近急増しているLEDや携帯電話などのアンテナ直下のESD対策においても積層バリスタが注目を集めている。

このように積層バリスタによる静電気対策の役割は広範に及び、新しいニーズに応じた特性が期待され、新規の積層バリスタの開発が要望されている。上述した動向のなか、保護効果に優れることに加え、バリスタ自身の強ESD耐性化や静電容量の微小化（0.1 pF レベル）について強い要求が出てきている。しかしながら、これらの新たな要求特性は保護効果と相反するものであり、既往材料での対応は非常に困難になっている。保護効果との

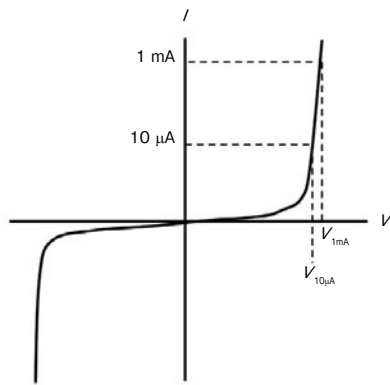
両立には、新たな材料やデバイスを見だし、ブレークスルーしていく必要がある。そこで、バリスタ特性発現機構の基礎原理から実際の保護効果につながるデバイス化までの取り組みを行ってきた。

本稿では、新種の低電圧バリスタ材料とそれを用いた新しい積層バリスタに関する技術について述べる。これらは電子機器のさらなる高信頼性へ貢献できることを示す。

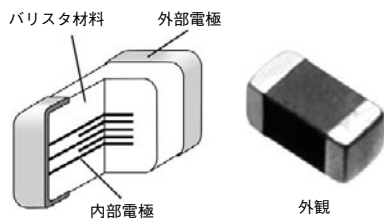
## 2. 積層バリスタとその課題

### 2.1 積層バリスタとその課題

バリスタはある電圧でその抵抗値が急減少する抵抗体である。その*V-I*特性を、第1図に示す。電圧を印加させていくと最初は電流を流さないが（高抵抗体）、ある電圧を境に急激に電流が流れるようになる（低抵抗体）。低抵抗化する非オーミック性の指標として、電圧比（ $\alpha_{10\mu A} = V_{1mA}/V_{10\mu A}$ ）が実用上よく用いられる。この場合、電圧比が1.0に近いほど抵抗値が急減少していることを示し、 $\alpha_{10\mu A} = 1.0$ が理想的な特性ということになる。この非オーミック現象を利用して各種の電子機器を異常電圧から保護する。積層バリスタの製品構造と外観は、第2図に示すものである。内部電極にはさまれたバリスタ層が複数積み重ねられ、外部電極で並列に接続されてい



第1図 バリスタの非直線V-I特性  
Fig. 1 Non-linear V-I property of varistors

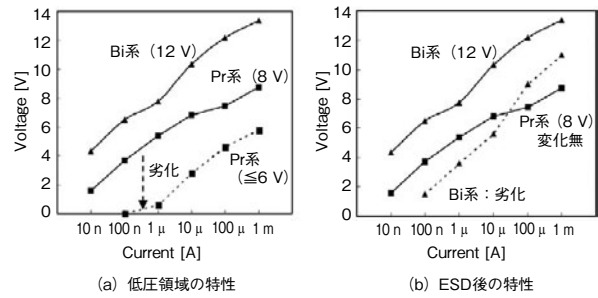


第2図 バリスタの構造図および素子外観  
Fig. 2 Schematic and appearance of multilayer ceramic chip varistors

る。このバリスタ素子をESDなどの侵入経路と保護機器の間にグランドと接続させる。通常は静電容量として存在し、低抵抗化する電圧を超える過電圧が侵入した場合、バリスタを経由してグランドへの電流バイパスが形成されて過電圧を抑制する。当然ながら、過電圧の抑制特性に加えてバリスタ自身が破壊されない高い信頼性（ESD耐性）も必要である。この高抵抗から低抵抗体への動作電圧（バリスタ電圧 $=V_{1mA}$ ）が保護効果と密接に関連し、低電圧からのバリスタ効果発現が高いESD抑制効果につながる。

## 2.2 既往バリスタ材料の課題

既往のZnOバリスタは、PrあるいはBi酸化物を添加した2材料系に大別される（以降、PrおよびBi系）[1][2][3][4]。バリスタは数kVのESDパルスに対して、低抵抗化するほど高い抑制効果が得られるため、低電圧化への強い要望がある。このバリスタ電圧は、特性起源部の粒界電圧（ $V_{gb}$ ）の足し合わせた値である（ $V_{1mA}=V_{gb} \times N$ （粒界数））。したがって、既往の低電圧化手段は、電極間（バリスタ材料層）を薄層化（15～20 μm）し、粒界数を減少させることであった。第3図は、低圧特性品のV-I特性およびESD印加後のBiおよびPr系の特性比較結果で



第3図 BiおよびPr系積層バリスタのV-I特性  
Fig. 3 V-I property of Bi- and Pr-based multilayer ceramic chip varistors

ある。ESD対策の強化へ向けた低電圧化の問題は大きく2つある。

- (1) 低電流域の非直線性（絶縁性）の劣化
- (2) ESD耐性の低下

まず、(1)の問題点について説明する。第3図に示すように、Bi系の低電圧化限界は $V_{1mA}=12$  V周辺にある。その最大の理由は、低電流域における絶縁低下による非直線性の悪化である。これに対して、Pr系は8 Vでも十分な非直線性を維持する。低電圧化限界はPr系が優れるが6 Vでは劣化してしまう。いっそうの低電圧化には、この改善が不可欠である。

(2)のESD耐性の課題は、特にBi系で顕在化する[5]。Pr系はESDを印加されてもほとんど特性への影響は顕在化しない。これに対し、Bi系はESDを受けた後の特性変化が顕著である。このように、同じZnOを基材としたバリスタでもESD耐性レベルがまったく異なるのである。

2種の既往材料の特性比較から、なぜPr系の方が低電圧化できてESD耐性が優れるのか？Bi系と何が違うのか？という疑問が浮かんでくる。これらの知見は、低電圧材料・強ESD材料の開発へ重要な指針を与える。

## 3. 低電圧化・強ESD耐性へつながる材料物性

材料開発の指針とすべき低電圧化につながる電気的および材料物性について既往材料から得られた知見を述べる。

### 3.1 粒界物性からの低電圧化指針

バリスタ特性の起源は粒子界面に形成されるショットキー障壁と考えられている。そこで、Pr、Bi系の粒界特性の違いを明らかにし、低電圧化に適する材料指針を探った。

バルク体でのバリスタ特性に加え、粒界特性として粒界電圧 $V_{gb}$ 、障壁高さ $\phi$ を解析した結果を、第1表に示す。

第1表 BiおよびPr系バリスタの材料特性値

Table 1 Characteristics of Bi- and Pr-based varistors

材料系	$V_{1mA}/mm$ [V]	$\alpha_{10\mu A}$ [ $V_{1mA}/V_{10\mu A}$ ]	$V_{gb}$ [V]	$\phi$ [eV]	grain size [ $\mu m$ ]
Bi	760	1.18	1.78	1.15	2.7
Pr	540	1.14	1.07	0.64	2.3

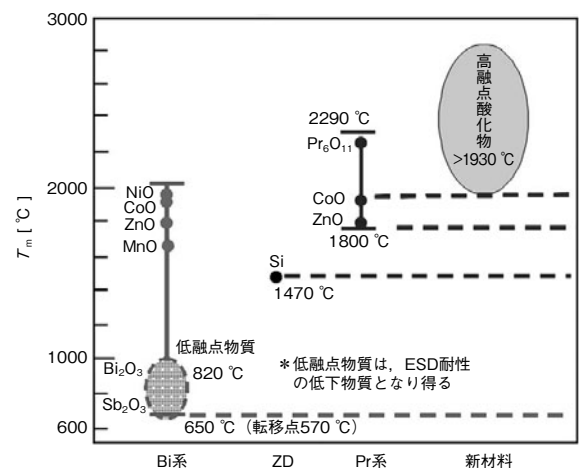
また、微細組織として結晶粒子径も評価した。粒界電圧 ( $V_{gb}$ ) は、見かけ上のバリスタ電圧 ( $V_{1mA}$ ) と平均結晶粒子径から求めた。また、障壁特性は、ショットキー障壁の解析で一般に用いられるCV (Capacitance-Voltage) 法で求めた[6]。ショットキー障壁の誘電性は、p/n界面の空間電荷による空乏層に起因し、外部からの電圧で変化する。このことを利用して粒界特性を求める。

両材料系とも結晶粒子径は2  $\mu m$  ~ 4  $\mu m$ で同程度である。しかしながら、その粒界電圧 ( $V_{gb}$ ) を比較するとPr系はBi系と比較して本質的に低圧で異なっていた。Bi系の $V_{gb}$ は約1.5 V ~ 1.8 V、これに対してPr系は1.1 V ~ 1.3 Vと低い。両材料間で30% ~ 40%も $V_{gb}$ に違いがある。 $V_{gb}$ の起源である障壁高さ $\phi$ も同様の傾向である。低圧領域での非直線性をPr系が維持できる理由は、Bi系よりも低 $V_{gb}$  ( $\phi$ ) にあると考えられる。低圧限界における粒子数は4 ~ 9個であり、個々の粒界特性が顕在化すると考えられる。バリスタ電圧は、粒界電圧の合算値であるゆえ、粒界電圧の低下がさらなる低圧特性実現の本質と考えられた。

### 3.2 ESD耐性を決める材料物性

ZnOバリスタのESD耐性を決定づける材料因子の報告はなかった。これに対して半導体デバイスはESDに対して脆弱なために多くの知見があり、材料固有の熱的特性がESD耐性に非常に重要な特性とされている。特性発現機構もバリスタと同じショットキー障壁に基づいており、考え方は多結晶体バリスタへ適用できる。

半導体デバイスの分野で実験結果とよく一致するモデル式が経験的に導き出されている。その1つは、Wunsch & Bellモデル[7]である。この実験とモデル式によるとショットキー障壁のESD耐性は、パルス幅に対する単位面積当たりの電力は、1/2乗の勾配で示され、その絶対レベルは、材料の融点で決定される。この結果から、ESD耐性は融点に比例して改善されると予測できる。この知見をバリスタ材料に当てはめたのが、第4図である。BiおよびPr系バリスタの構成組成物において各単純酸化物の融点を縦軸に材料別に整理した。比較にツェナーダイオード (ZD) で使用されるシリコン (Si) も加えた。ESD耐性の弱いBi系は、Pr系およびSiと比較して低融点



第4図 バリスタの構成酸化物およびツェナーダイオード (ZD) の融点 ( $T_m$ )

Fig. 4 Melting temperature of each oxide in Bi- and Pr-based varistor compositions and of zener diodes (ZD)

物質から構成されていることがわかる。Bi系の特性発現物質の $Bi_2O_3$ および添加物の $Sb_2O_3$ の融点は、820°Cおよび656°Cである。これに対してPr系は、基材のZnOで1800°C、主な添加物は2290°C ( $Pr_6O_{11}$ )、1935°C ( $Co_3O_4$ )もの高融点物質から構成されている。バリスタ材料でもESD耐性は、構成物の融点とよく対応しており、Bi系バリスタで顕在化するESD耐性は低融点物質の存在と考えられる。高抵抗の粒界は、ESDの印加時には高熱化するはずであり、構成材料の高融点化がESD耐性の改善につながると考えられる。

以上より、材料探索組成物 (添加物) から低融点物質を除外し、高温安定酸化物からバリスタ特性を発現させることが強ESD耐性を実現する開発方針として導かれる。

### 3.3 多結晶体におけるESD耐性

多結晶体のバリスタ材料は、多くの粒界障壁を有する。印加されたESDは、それぞれの粒界で電圧を分担するはずである。このことを加味し、上述したモデルを多結晶体組織で考えると、粒界数が多いほど各粒界での負荷が低減され、ESD耐性が改善されることになる。このように、粒界電圧の低下は、粒界数を増加させ、非直線性のみならず、ESD耐性の副次的な改善にもつながると考えられる。

## 4. 新低電圧材料と積層バリスタ

上述した一連の知見から、材料固有の組成設計指針は

次の2点に整理できる。

- (1) 粒界電圧の低圧化
- (2) 粒界組成物の高融点化

なお、粒界組成物は、特性発現起源のショットキー障壁を形成するの必要があり、その電気伝導性は、n型のZnO粒子間でp型半導体として作用する化合物が候補となる。

以上を材料開発指針として組成探索し、低電圧かつ強ESD耐性を有する新規のバリスタ材料、ZnOに $ACoO_{3-\delta}$  (A=Ca, SrおよびBa) を添加した材料を見いだした(以降、 $ACoO_3$ 系とする) [8]。なお、この結果は、BiやPr以外の酸化物でも良好なバリスタ特性発現の可能性を示すものでもある。その低電圧非直線性とその起源を従来材料と比較検討する。また、積層バリスタにおける低電圧特性の検証、そして放電原理を導入した新規の低静電容量タイプについて述べる。

#### 4.1 新低電圧バリスタ材料

アルカリ土類イオン(Ca, SrおよびBa)と遷移金属(Co)との高融点酸化物群(ex. SrO ~ 2430 °C)は特性発現物質として作用し、低粒界電圧で良好な非直線性を発現させる。試料の合成は固相反応法で行い、 $\phi 10$  mmの焼結体上下面へIn/Ga塗布した円板状試料で評価した。その結果を述べる。

$ACoO_3$ 系(A=Ca, SrおよびBa)におけるバリスタ電圧( $V_{1mA/mm}$ )、非直線性指標の電圧比( $\alpha_{10\mu A} = V_{1mA} / V_{10\mu A}$ )および粒界電圧( $V_{gb}$ )を、第2表に整理した。

第2表  $ACoO_3$ 系バリスタの材料特性値 (A=Ca,Sr,Ba)

Table 2 Characteristics of  $ACoO_3$ -based varistors (A=Ca,Sr,Ba)

材料系	$V_{1mA}/mm$ [V]	$\alpha_{10\mu A}$ [ $V_{1mA}/V_{10\mu A}$ ]	$V_{gb}$ [V]	grain size [ $\mu m$ ]
CaCo <sub>3</sub>	350	1.19	1.23	3.5
SrCo <sub>3</sub>	360	1.19	0.81	2.3
BaCo <sub>3</sub>	260	1.42	1.17	7.3

なお、これらの結果は、1 molのZnOに0.5 mol % ~ 2 mol %の $ACoO_3$ を含有させ、種々の焼成条件で得られた最良値(非直線性)である。一連の焼結体は、 $V_{1mA}/mm = 260$  V ~ 360 V、 $\alpha_{10\mu A} = 1.2$  ~ 1.4の良好なバリスタ特性をバルク体で示した。これらは、既往の実用材料に匹敵する特性である。ZnOへ添加させた $ACoO_{3-\delta}$ は、BiやPr酸化物と同様のバリスタ特性発現の役割をしている。

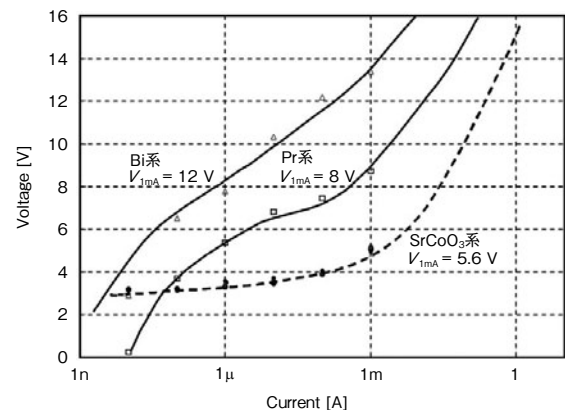
次に本質の粒界電圧( $V_{gb}$ )について既往材料と比較する。Bi, Pr系における $V_{gb}$ は1.78 V, 1.07 V, これらに対して $ACoO_3$ 系は0.81 V ~ 1.23 Vである。特にA=Srのと

き、一粒界あたりのバリスタ電圧 $V_{gb}$ は約0.81 Vであり、Pr系より25 %も低圧化する。またSrCoO<sub>3</sub>系の微細組織は微細な結晶粒子(2  $\mu m$  ~ 3  $\mu m$ )で積層チップ化にも問題ない。以上の結果は、既往材料からのさらなる低電圧化を示唆するものである。

#### 4.2 積層バリスタ化で得られる特性

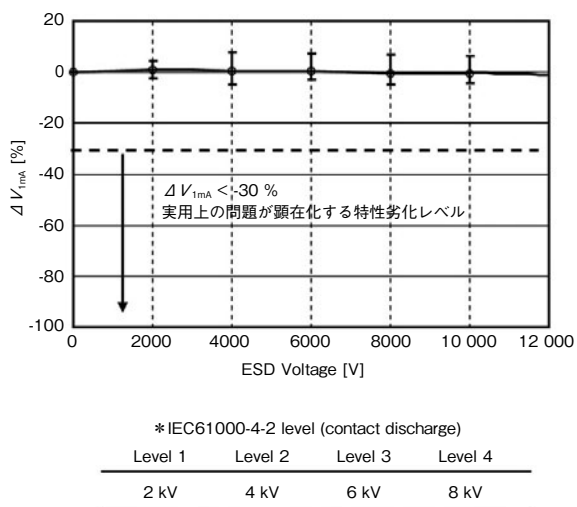
既往材料の低圧限界以下、 $V_{1mA} = 5.6$  Vの積層バリスタで非直線性および各種の実用特性を検証した。現在のメイン1005サイズ(1.0×0.5×0.5 mm)形状、 $V_{1mA} = 5.6$  V(既存品30 %の低圧化)、静電容量は汎用的な信号ライン用途100 pFの構成を、低圧化に適するA=Sr、層間厚み=17  $\mu m$ (平均粒子数:約7個)で作成した。その積層バリスタのV-I特性をBi, Pr系の低圧限界特性とともに、第5図に示す。低圧領域において広範囲(10 nA ~ 1 A)で非直線性は優れ、 $V_{1mA} = 5.6$  Vにおけるバリスタ特性は実用レベル以上と確認できた。既往製品と比較し、特に低電流域( $10^{-8}$  A ~  $10^{-4}$  A)で優れた非直線性を示す。これはセット搭載時の漏れ電流低減につながる特性であり、低粒界電圧がもたらす効果と考えられる。

次に、もう1つの低圧化課題であるESD耐性の評価を、第6図に示す。IEC61000-4-2に基づいてESDを印加し、バリスタ特性の変化を評価した。ESD印加後(8 kV)のV-I特性変化率( $\Delta V_{1mA} \leq 10$  %)も小さく、IEC規格最高のLevel4を満たす。この強ESD耐性は、粒界組成物の高融点化の効果と考えられる。また、ESD抑制効果はバリスタ無しの1100 V(8 kV印加)を80 V ~ 90 Vへ抑制し、優れた効果を確認した。この低電圧特性から得られる保護効果は、ESDに脆弱なLEDなどの保護強化にも有効と考えられる。



第5図 低電圧積層バリスタのV-I特性

Fig. 5 V-I properties of multilayer ceramic chip varistors

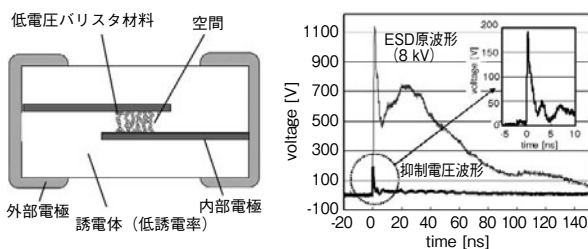


第6図 低電圧積層バリスタ ( $V_{1mA} = 5.6 \text{ V}$ ) のESD印加前後の  $V_{1mA}$  変化率  
 Fig. 6 Change rates of  $V_{1mA}$  after applying of ESD from initial values for multilayer ceramic chip varistors with low varistor-voltage ( $V_{1mA} = 5.6 \text{ V}$ )

4.3 放電原理導入の新しい積層バリスタ

バリスタを低静電容量化するとESD耐性および吸収効果も低下してしまう。このため、低静電容量が不可欠な携帯電話のアンテナ直下などでのESD対策は非常に難しく、低静電容量と高いESD抑制効果との両立が強く要望されていた。これまで実用の静電容量下限は0.8 pFであり、ESD抑制電圧は約600 V (8 kV印加) であった。

そこで、特性発現部および動作原理とから高性能化を目指し、新たに放電原理を導入した低静電容量タイプを開発した。形状は携帯電話などのモバイル機器に適する0603サイズ (0.6×0.3×0.3 mm) である。第7図は、構造の模式図とそのESD抑制波形 (8 kV印加) である。バリスタ部は低電圧バリスタ材料を多孔質化させ、電極間を



第7図 放電併用の新型積層バリスタの断面構造とESD抑制波形 (8 kV)  
 Fig. 7 Schematic of cross section of novel multilayer ceramic chip varistors with electric discharge and their suppression wave shape for ESD at 8 kV (IEC61000-4-2)

連通する状態で形成している。この多孔体の連通部がESDの放電経路である。低電圧バリスタ材料は、仕事関数の小さいアルカリ土類酸化物 (1.0 eV ~ 1.5 eV) を含むため、バリスタ特性に加えて放電を促す作用がある。このため、多孔体バリスタは、通常時に絶縁体、すなわち微小静電容量 (0.1 pF以下) として存在し、ESD印加時には低電圧 (200 V) から放電開始に至らしめる働きをする。この低電圧動作が、ESD電圧を低圧 (200 V at 8 kV) に抑制する。また、ESDのエネルギーは重ね合わせた電極間の連通空間で消費され、バリスタの負荷低減によって強ESD耐性化する。放電ギャップ単独の場合、放電の度に対向電極端が消耗 (ギャップ間隔拡大) し、抑制電圧が上昇する。これに対して、ESDの繰り返し印加 (ex. 100回) でも再現よく動作し、安定した保護効果を得ることができる。なお、バリスタ部以外は低誘電率のLTCC (Low Temperature Co-fired Ceramics) 材料 ( $\epsilon_r =$  約10) で構成し、浮遊容量の低減化に加えて、機械的および耐候性能も向上させた。これらの特性は、従来バリスタの静電容量とESD抑制効果の関係を完全に打破するものであり、その比較を第3表に示す。低静電容量 (0.1 pF) でありながら、優れたESD抑制効果 (200 V Typ. (8 kV)) と強ESD耐性 (15 kVで100回) を実現した。その信頼性は、実用積層バリスタの標準規格を満たす。

第3表 低静電容量タイプの新型積層バリスタの特性

Table 3 Characteristics of low capacitance type of novel multilayer ceramic chip varistors

Type	形状 [mm]	抑制電圧 (typ.) at 8 kV [V]	静電容量 (typ.) at 1 MHz [pF]	ESD耐性 *IEC61000-4-2 [kV]
開発品	0.6×0.3×0.3	200	0.1	15
従来品	1.0×0.5×0.5	600	0.8	8

なお、挿入損失 ( $I_L$ ) は0.1 dB以下 (at 2.5 GHz) であり、35 dBm電力印加下で安定動作を確認している。したがって、伝送特性への影響は極めて小さく搭載でき、携帯電話のアンテナ直下や高速伝送ラインのESD対策で優れた保護効果を発揮できる。

5. まとめ

今後のESD対策へ向けたバリスタの課題と開発指針を示し、その上で低電圧バリスタ材料とその積層バリスタに関する技術について材料からデバイス化に至るまで述べた。一連の知見を以下に列記する。

- 1)  $\text{SrCoO}_{3-\delta}$  を特性発現物質としたバリスタ材料は、ESD抑制効果につながる低粒界電圧 (従来比25 %

低下)と強ESD耐性を発揮し、低電圧積層バリスタ ( $V_{1mA}=5.6$  V) を実現した。

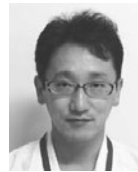
- 2) 放電原理を新たに導入した小型積層バリスタは、従来不可能だった超低静電容量 (0.1 pF) とESD抑制効果 (200 V at 8 kV) の両立を可能にした。

開発した低電圧・強ESD材料とその積層バリスタは、各種IC、LEDなどのみならず、携帯電話のアンテナ直下や高速伝送用途などへ適用範囲を広げ、これらのESD対策強化へ貢献できるものである。また、本稿の新しいバリスタの開発事例は、将来、さらに優れた新たなバリスタ登場の示唆と考える。新規の材料・デバイス技術の発展が、いっそうのESD対策強化へつなげるものと考えられる。

### 参考文献

- [1] 松岡道雄, “粒界制御-非線形特性バリスタ-,” セラミックス, vol.19, no.1, pp.43-46, 1984.
- [2] 向江和郎, “ゼットラップ-希土類添加したZnOバリスタ-,” エレクトロニクセラミックス, 秋号, pp.27-33, 1977.
- [3] 松岡大 他, “積層バリスタ,” 積層セラミックデバイスの材料開発と応用, 山本孝(編), pp.161-171, シーエムシー出版, 東京, 2006.
- [4] 小山一茂 他, “微細構造制御による低誘電率バリスタ,” 積層セラミックデバイスの材料開発と応用, 山本孝(編), pp.172-184, シーエムシー出版, 東京, 2006.
- [5] E. Koga et al, “Electrical degradation caused by electro static-discharge pulse in ZnO-based multilayer varistor,” Key Engineering Materials, vol.388, pp.15-18, 2009.
- [6] 生駒敏明 他, “半導体中の深い不純物準位の性質とその測定,” 電子情報通信学会, vol.64, no.2, pp.195-202, 1981.
- [7] DC. Wunsch et al, “Determination of threshold failure levels of semiconductor diodes and transistors due to pulsed voltages,” IEEE Trans. Nucl. Science, vol.NS-15, no.6, pp.244-259, 1968.
- [8] E. Koga et al, “Multilayer varistor with low-voltage characteristics from ZnO+ACoO<sub>3</sub> (A=Ca, Sr and Ba),” Key Engineering Materials, vol.485, pp.249-252, 2011.

### 執筆者紹介



古賀 英一 Eiichi Koga  
デバイス社 電子部品・電子材料事業グループ  
Electronic Components and Materials Business  
Group, Industrial Devices Company  
博士 (工学)



沢田 典子 Noriko Sawada  
デバイス社 電子部品・電子材料事業グループ  
Electronic Components and Materials Business  
Group, Industrial Devices Company



網沢 幹典 Mikinori Amisawa  
デバイス社 電子部品・電子材料事業グループ  
Electronic Components and Materials Business  
Group, Industrial Devices Company



南 誠一 Seiichi Minami  
デバイス社 電子部品・電子材料事業グループ  
Electronic Components and Materials Business  
Group, Industrial Devices Company



沖本 知久 Tomohisa Okimoto  
デバイス社 電子部品・電子材料事業グループ  
Electronic Components and Materials Business  
Group, Industrial Devices Company