

セキュリティLSI向け高速・低消費電力ReRAM

High-Speed and Low Power Consumption ReRAM for Secure LSI

早川 幸夫
Yukio Hayakawa

村岡 俊作
Shunsaku Muraoka

姫野 敦史
Atsushi Himeno

伊藤 理
Satoru Ito

米田 慎一
Shin-ichi Yoneda

要 旨

抵抗変化メモリー（ReRAM：Resistive Random Access Memory）は、高速動作・低消費電力の特徴を有する不揮発性メモリーとして注目されている。今回、酸化・還元型ReRAMの動作メカニズムの観点から、導電性フィラメントのモデルを構築し、良好なデータ保持特性を実現するための指針を示した。そして、この指針を基に考察したReRAM特有の微細化課題から、「素子側面の余剰酸素の低減」と「フィラメントの位置制御」を具現化する新たな技術を開発した。さらに、これら新技術を適用した40 nm技術ノードで2 Mbit容量のReRAMを試作し、1万回書き換え後の優れたデータ保持性能（85℃、10年）を実証した。

Abstract

Resistive Random Access Memory (ReRAM) has attracted significant attention as a novel non-volatile memory capable of high-speed operation and low power consumption. In this study, we developed a conductive filament model based on the resistive changing mechanism. Further, we proposed a concept to achieve good data retention characteristics, based on which, we considered the ReRAM specific scaling issue and developed new technologies, specifically, those that control excess oxygen at memory cell side, and filament location in memory cell. Using these, we realized ReRAM in 2Mbit memory capacity with 40 nm technology node, and demonstrated excellent data retention (10 years at 85 °C) even after 10 000 write/erase cycles.

1. はじめに

近年、スマートフォンやタブレットなどの情報機器端末が急速に普及し、モバイルネットワークを利用した個人データの認証や金銭の決済が頻繁に行われている。一方、悪意をもった第三者によるデータの漏洩（ろうえい）、改ざんやなりすましなどの被害も急増している。そこで、セキュアな通信を確保する手段の1つとして、暗号回路を搭載したLSI（Large Scale Integration）が広く用いられている。さらに、暗号鍵が格納された不揮発性メモリーをLSIに混載し、1チップ化することにより、インターフェースが排除でき、サイドチャネル攻撃耐性を強化することができる。

今後、「モノ」同士がネットワークで繋（つな）がるIoT時代には、増大する暗号データの記憶や高速処理に対応するため、さらなる不揮発性メモリーの進化が求められている。現在、その有力候補として、高速動作・低消費電力の特徴を有する抵抗変化型の不揮発性メモリー（ReRAM：Resistive Random Access Memory）が注目されている[1]。

当社は、2005年から酸化・還元型ReRAMの研究開発に着手し、優れたメモリー性能を有する抵抗変化材料として、タンタル酸化物を見いだした[2]。そして、タンタル酸化物で構成されたReRAMの量産技術を確認し、2013年から180 nm技術ノードでReRAM混載LSIの量産を開始

した。現在は、ポータブルヘルスケア機器などの低消費電力用途にReRAM混載8 bitマイコンを供給している。

今回、IoT機器やICカードに最適な40 nm技術ノードへと一気に微細化を進め、180 nm技術ノードに比べ、メモリーセル寸法が1/10となるReRAM（2 Mbit容量）を試作したので報告する。

2. ReRAMとFlash Memoryとの特性比較

第1表にReRAMとFlash Memoryとの特性比較を示す。Flash Memoryは、消費電力が大きく、かつ消去動作が必要である。

一方、ReRAMは、Flash Memoryに比べ、消費電力が1/5以下と小さく、消去動作も不要である。また、単純な素子構造で構成できるため、低コスト化が可能である。

第1表 ReRAMとFlash Memoryとの特性比較

Table 1 Comparison of ReRAM and Flash Memory characteristics

	ReRAM	Flash Memory
動作原理	酸化還元反応	電荷蓄積
素子構造	3層	複雑
消費電力*	1	5~7
消去動作	不要	必要
読み出し速度*	1	1
書き換え回数(回)	10 ⁶	10 ⁶

*：ReRAMに対する相対比（当社調べ）

3. 酸化・還元型ReRAMの概要

本章では、酸化・還元型ReRAMの動作メカニズムを説明し、導電性フィラメントのモデル化、および良好なデータ保持特性を実現するための導電性フィラメントの形成指針について述べる。

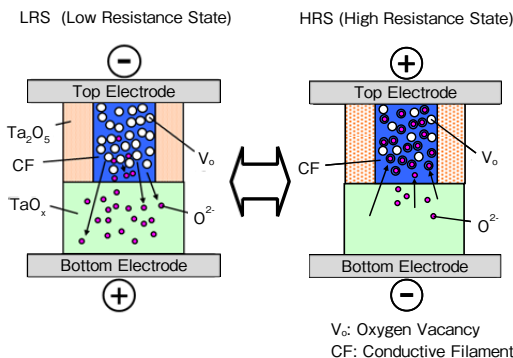
3.1 ReRAMの動作メカニズム

ReRAMは、上部電極と下部電極の間に、酸化状態の異なる2層のタンタル酸化物（ Ta_2O_5 と TaO_x の積層）を配置した構造をもち、極性の異なるパルス電圧を電極間に印加することで、高抵抗状態（HRS：High Resistance State）と低抵抗状態（LRS：Low Resistance State）を制御する。また10 nsという短い書き込みパルスでも安定した抵抗変化特性を示し、高速書き換え動作が可能である。

次に、ReRAMの動作メカニズムについて述べる。

ReRAMは、最初にフォーミングと呼ぶ電気処理によって、絶縁特性を有する Ta_2O_5 層中に導電性フィラメントを形成する。この導電性フィラメントは、電子ビーム吸収電流法（EBAC：Electron Beam Absorbed Current）と透過電子顕微鏡（TEM：Transmission Electron Microscopy）の観察結果から、 Ta_2O_5 層内に1箇所形成される。また、硬X線光電子分光法（HX-PES：Hard X-ray Photoemission Spectroscopy）から、異なる抵抗状態は、タンタル酸化物の酸化・還元反応で生じることが判明している[2]。さらに、抵抗値の温度依存性解析から、導電性フィラメント内の伝導機構が酸素欠陥を介したホッピング伝導であることも解明されている[3]。

これらの事象から、酸化・還元型ReRAMは、電極に印加された電圧の極性に応じて酸素イオンが移動し、導電性フィラメント内の酸素欠陥が増減することにより、抵抗状態が変化すると考えられる（第1図）。



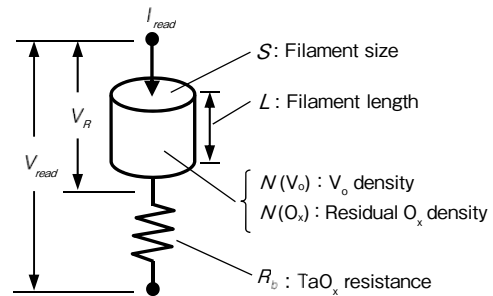
第1図 ReRAMの動作メカニズム
Fig. 1 Mechanism for resistance switching of ReRAM

3.2 導電性フィラメントのモデル化

ReRAMの信頼性向上には、抵抗変化をもたらす導電性フィラメントの状態を理解することが重要である。本節では、その導電性フィラメントのモデル化について述べる。

第2図に導電性フィラメントモデルを示す。図中の S 、 L 、 $N(V_o)$ 、 $N(O_x)$ は、それぞれ導電性フィラメントの面積、導電性フィラメントの長さ、酸素欠陥密度、余剰な酸素密度を表す。このモデルを基に導出した1ビット素子内の導電性フィラメントの面積、酸素欠陥密度、余剰な酸素密度を（1）式～（3）式に示す[4]。

ここで V_R は、読み出し時に導電性フィラメントのみに印加される電圧、 $E(I_{read(i)})$ 、 $\mu(I_{read(i)})$ は1ビット素子を一定の駆動条件下で複数回抵抗変化させたときの読み出し電流の平均値および標準偏差、 μ_{O_x} は電圧印加により移動する酸素イオンの移動度、 V_{set} は書き込み電圧である。



第2図 導電性フィラメントモデル
Fig. 2 Conductive filament model

$$S = \frac{L}{V_R} \cdot \sqrt{\frac{E(I_{read(i)}) \cdot \mu(I_{read(i)})}{k \cdot A}} \dots\dots\dots (1)$$

$$N(V_o) = \frac{L \cdot E(I_{read(i)})}{k \cdot S \cdot V_R} \dots\dots\dots (2)$$

$$N(O_x) = \frac{N(V_o)_{LRS} - N(V_o)_{HRS}}{\mu_{O_x} \cdot V_{set}} \dots\dots\dots (3)$$

ReRAMは、書き換え動作条件（印加電圧や駆動電流など）や抵抗変化膜の酸素濃度に応じてデータ保持特性が変化する。これら別々の事象に思える挙動も、上記モデルから算出された各構成要素（導電性フィラメントの面積、酸素欠陥密度、余剰な酸素密度など）を用いることにより、データ保持特性との関係を矛盾なく説明することができる[4]。

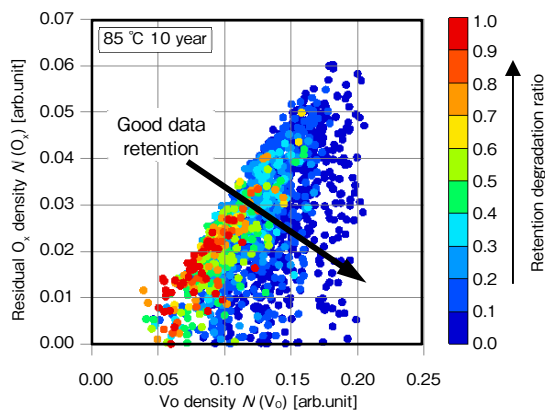
3.3 導電性フィラメントの形成指針

本節では、前述したモデルの各構成要素とデータ保持特性との相関から、良好なデータ保持特性を実現するた

めの導電性フィラメントの形成指針を示す。

第3図は、導電性フィラメント特性とデータ保持特性との関係を検討した実験結果である。データ保持特性は、1万回書き換えを行ったメモリアレイを85℃、10年に相当する環境下に放置した後の読み出し電流の劣化率（LR電流変化量÷放置前のLR電流値）で表され、点の色が赤から青へなるに従いデータ保持特性の良化を示す。

上記の結果から、良好なデータ保持特性を得るためには、「酸素欠陥密度 $N(V_o)$ が高く、余剰な酸素密度 $N(O_x)$ の低い導電性フィラメントを形成すべき」との指針が得られた。つまり、目指すべき姿は、酸素欠陥を介した電流経路が遮断されないような導電性フィラメントである。



第3図 良好なデータ保持特性のためのフィラメント特性

Fig. 3 Filament characteristics for good data retention

4. 酸化・還元型ReRAMの微細化技術

単純なメモリアレイの微細化技術は、Flash MemoryやDRAMなどで数多く報告されている。本章では、酸化・還元型ReRAMに特有の微細化課題について述べるとともに、微細化の実現に不可欠な新たな技術を提案する[5]。

4.1 酸化・還元型ReRAM特有の微細化課題

酸化・還元型ReRAMは、素子側面と導電性フィラメントとの距離が近づくに伴い、データ保持特性が劣化する[6]。これは、素子側面で生成された余剰な酸素が、導電性フィラメントの内部へと拡散し、酸素欠陥密度を減少させるためと考えられる。

したがって、酸化・還元型ReRAMの微細化を実現するためには、「素子側面の余剰酸素の低減」と「素子側面と導電性フィラメントとの距離制御」が極めて重要である。

4.2 余剰酸素の低減

素子側面の余剰な酸素は、「素子加工時の抵抗変化膜の

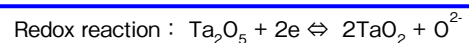
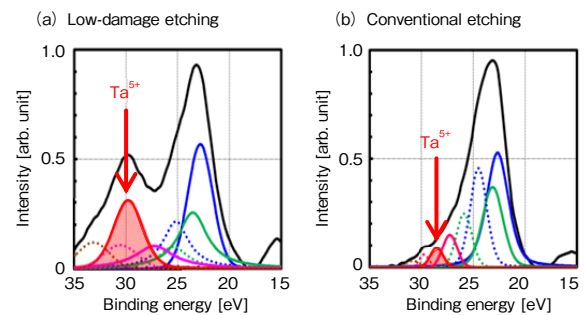
還元反応」と「層間絶縁膜からの酸素拡散」によって生じる。以下に、「余剰酸素の低減」を実現するための2つの技術を示す。

[1] 低ダメージ素子加工技術

ReRAMの素子加工には、反応性イオンエッチング法が用いられる。この方法は、プラズマで励起されたイオンの衝突エネルギーを利用して素子を加工する。したがって、加工された素子の側面では、励起イオンの衝突で抵抗変化膜が還元され、未結合状態の酸素（余剰な酸素）が大量に生成される。

そこで筆者らは、「抵抗変化膜の還元反応」を抑制する新たな加工技術（低ダメージ素子加工技術）を開発した。具体的には、反応性イオンエッチング中に臭素ガスを添加し、励起イオンによる素子の加工と臭素ガスによる保護膜形成を同時に行う技術である。

第4図は、低ダメージ素子加工技術を適用した素子側面と従来の素子加工技術を適用した素子側面をX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）で分析した結果である。第4図（a）の低ダメージ素子加工技術は、第4図（b）の従来技術に比べ、高い Ta^{5+} ピークが観測された。この結果は、抵抗変化膜であるタンタル酸化物の還元反応の抑制を示唆しており、「余剰酸素の低減」を意味する。



第4図 XPS分析結果：(a) 低ダメージ素子加工技術、(b) 従来の素子加工技術

Fig. 4 XPS analysis result, (a) Low-damage etching and (b) Conventional etching

[2] カプセル化構造

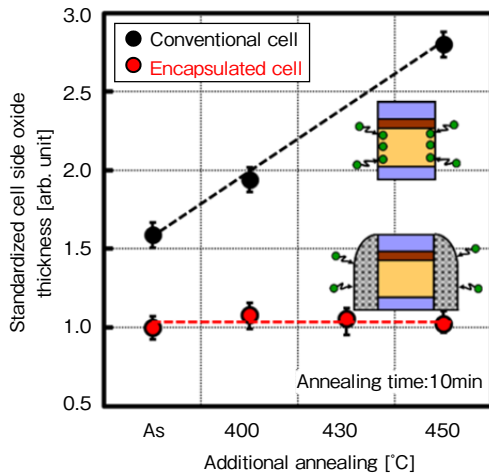
次に、「層間絶縁膜からの酸素拡散」の抑制方法について述べる。ReRAMを混載する場合、高性能ロジックを実現するため、配線の多層化は不可欠である。したがって、配線工程の熱処理によるReRAMのデータ保持特性の劣化（余剰酸素の拡散）を最小限に抑える必要がある。

そこで筆者らは、「層間絶縁膜からの酸素拡散」を抑制

する手段として、ReRAMをシリコン窒化膜で被覆した素子構造（カプセル化構造）を新たに提案する。

第5図は、ReRAMの素子側面の酸化膜厚を2種類の素子構造（カプセル化構造と従来の素子構造）で比較した結果である。横軸はアニール温度を示し、通常のCu配線のプロセス温度は400℃以下である。縦軸は、提案したカプセル化構造のアニール前の酸化膜厚を基準に規格化した値である。従来の素子構造は、アニール温度に応じて素子側面の酸化膜厚が増加する。一方、カプセル化構造では、素子を被覆したシリコン窒化膜によって層間絶縁膜からの酸素拡散が遮断されるため、450℃のアニール温度でも酸化膜厚の増加は見られない。

以上の結果から、提案したカプセル化構造は、優れた耐熱性を有し、混載向けに最適な素子構造と言える。



第5図 カプセル化構造と従来構造との側面酸化量比較
Fig. 5 Comparison of side oxide thickness for encapsulated and conventional cell structures

4.3 導電性フィラメントの位置制御

ReRAMの微細化を実現するためには、「素子側面の余剰酸素の低減」とともに、「素子側面と導電性フィラメントとの距離制御」も重要である。特に、素子側面からの距離を一定に保つには、素子の中心部に導電性フィラメントを形成することが望ましい。

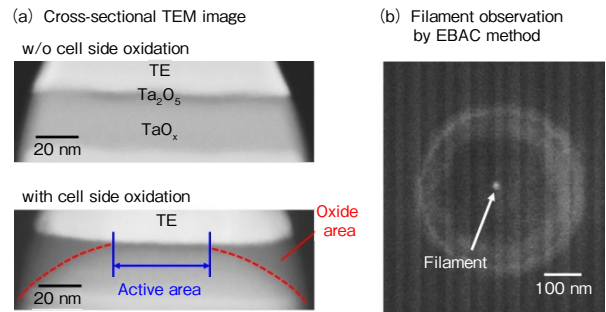
しかし、3章で述べたように、導電性フィラメントは、Ta₂O₅膜の絶縁破壊現象で形成されるため、その位置制御は極めて困難である。

そこで筆者らは、素子側面を高抵抗化することにより、導電性フィラメントの位置を制御する新たな技術を開発した。素子側面の高抵抗化には、低温で優れた酸化能力を有する酸素ラジカルを用いた。

第6図にReRAM素子の断面TEM写真とEBAC法による

導電性フィラメントの観察結果をそれぞれ示す。第6図

(a)の上段図は素子加工直後、下段図は酸素ラジカル処理後の断面写真である。酸素ラジカル処理によって素子側面は高抵抗化し、導電性フィラメントの形成領域が絞り込まれた。その結果、第6図(b)から明らかなように、素子の中心部へ導電性フィラメント（白い点）を誘導することに初めて成功した。



第6図 ReRAM素子の断面TEM写真とEBAC法による導電性フィラメント観察

Fig. 6 Cross-sectional TEM image of ReRAM cell and conductive filament observation by EBAC method

今回、筆者らが開発した導電性フィラメントの位置制御技術は、データ保持特性のばらつき低減に極めて有効な手段である。

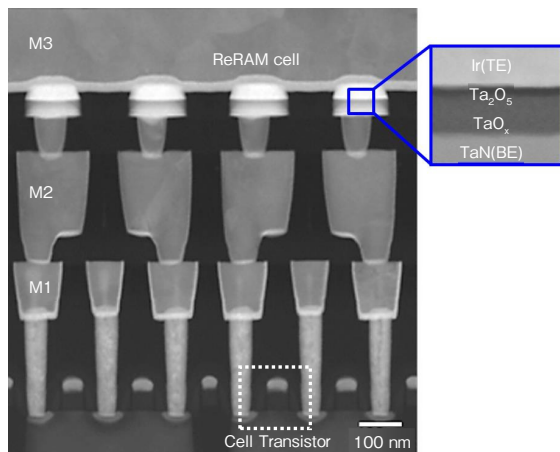
5. 40 nm ReRAMのメモリアレイ試作

本章では、40 nm CMOS (Complementary Metal Oxide Semiconductor) プロセスを用いて試作したReRAMのメモリアレイ特性について述べる。

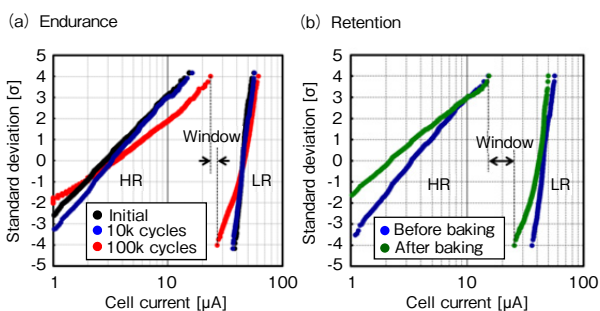
第7図は、40 nm技術ノードで試作したReRAMのメモリアレイ領域の断面TEM写真である。ReRAMは、Cu配線間 (M3-M2間) に形成され、直径120 nmのドット形状である。また、ReRAM素子は、イリジウムの上部電極とタンタル窒化物の下部電極に挟まれた2層のタンタル酸化物で構成され、素子形成には4章で述べた「余剰酸素の低減」や「導電性フィラメントの位置制御」技術を適用した。

第8図(a)にメモリアレイ (2 Mbit容量) のデータ書き換え試験結果を示す。初期、1万回、10万回とデータ書き換え回数の増加に従って、データの読み出しウィンドウ (低抵抗状態 (LRS) と高抵抗状態 (HRS) の素子に流れるセル電流値の差) が小さくなることが観察された。ただし、10万回書き換え後でも、読み出しウィンドウが存在し、10万回以上のデータ書き換え性能を有する。

また、第8図(b)にデータ保持試験の結果を示す。こ



第7図 40 nm ReRAM混載デバイスの断面TEM写真
Fig. 7 Cross-sectional TEM image of 40 nm ReRAM embedded device



第8図 40 nm ReRAMメモリアレイの信頼性特性
Fig. 8 Reliability characteristics of 40 nm ReRAM memory array

の試験では、1万回のデータ書き換えを行い、さらに85℃、10年間の放置に相当する熱処理後、再度データ読み出しを行った。85℃、10年間の環境下での放置後もデータは揮発しておらず、優れたデータ保持性能を実証することができた。

6. まとめ

高速・低消費電力の不揮発性メモリーとして40 nm ReRAMを開発した。従来の180 nm技術ノードから40 nm技術ノードへと微細化を進めるに当たり、動作メカニズムを基に導電性フィラメントのモデルを構築し、その形成指針を示した。さらに、この指針を基に「余剰酸素の低減」や「フィラメントの位置制御」を具現化する新たな技術を開発し、2 Mbit容量のメモリアレイで良好なデータ保持性能を実証した。

今後は、量産化に向けたプロセス開発を行い、モバイルセキュアLSIへの応用を図る。

参考文献

- [1] M. Ueki et al., "Low-Power Embedded ReRAM Technology for IoT Applications," Symposium on VLSI Technology, Tech Dig., pp.T108-T109, 2015.
- [2] Z. Wei et al., "Highly Reliable TaO_x ReRAM and Direct Evidence of Redox Reaction Mechanism," IEDM, Tech Dig., pp.293-296, 2008.
- [3] Z. Wei et al., "Demonstration of High-density ReRAM Ensuring 10-year Retention at 85C Based on a Newly Developed Reliability Model," IEDM, Tech Dig., pp.721-724, 2011.
- [4] S. Muraoka et al., "Comprehensive Understanding of Conductive Filament Characteristics and Retention Properties for High Reliable ReRAM," Symposium on VLSI Technology, Tech Dig., pp.T62-T63, 2013.
- [5] Y. Hayakawa et al., "Highly reliable TaO_x ReRAM with centralized filament for 28-nm embedded application," Symposium on VLSI Technology, Tech Dig., pp.T14-T15, 2015.
- [6] Y. Y. Chen et al., "Improvement of data retention in HfO₂ / Hf IT1R RRAM cell under low operating current," IEDM, Tech Dig., pp.252-255, 2013.

執筆者紹介



早川 幸夫 Yukio Hayakawa
パナソニック セミコンダクターソリューションズ (株) 半導体ビジネスユニット
Semiconductor Business Unit,
Panasonic Semiconductor Solutions Co., Ltd.



村岡 俊作 Shunsaku Muraoka
パナソニック セミコンダクターソリューションズ (株) 半導体ビジネスユニット
Semiconductor Business Unit,
Panasonic Semiconductor Solutions Co., Ltd.



姫野 敦史 Atsushi Himeno
パナソニック セミコンダクターソリューションズ (株) 半導体ビジネスユニット
Semiconductor Business Unit,
Panasonic Semiconductor Solutions Co., Ltd.
理学博士



伊藤 理 Satoru Ito
パナソニック セミコンダクターソリューションズ (株) 半導体ビジネスユニット
Semiconductor Business Unit,
Panasonic Semiconductor Solutions Co., Ltd.



米田 慎一 Shin-ichi Yoneda
パナソニック セミコンダクターソリューションズ (株) 半導体ビジネスユニット
Semiconductor Business Unit,
Panasonic Semiconductor Solutions Co., Ltd.